

併合親 2002-281593

US

日 本 国 特 許 庁
JAPAN PATENT OFFICE

WN2-2616

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 3 年 4 月 8 日

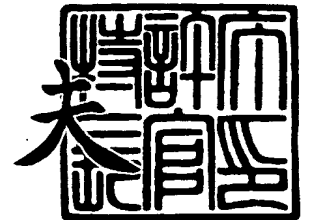
出 願 番 号
Application Number: 特 願 2 0 0 3 - 1 0 3 6 8 1
[ST. 10/C]: [J P 2 0 0 3 - 1 0 3 6 8 1]

出 願 人
Applicant(s): エルピーダメモリ株式会社
株式会社日立製作所
株式会社ルネサス東日本セミコンダクタ

2 0 0 3 年 1 0 月 1 7 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 22310282

【提出日】 平成15年 4月 8日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 13/16

【発明者】

 【住所又は居所】 東京都中央区八重洲二丁目 2 番 1 号 エルピーダメモリ
 株式会社内

 【氏名】 船場 誠司

【発明者】

 【住所又は居所】 東京都中央区八重洲二丁目 2 番 1 号 エルピーダメモリ
 株式会社内

 【氏名】 安保 久

【発明者】

 【住所又は居所】 東京都中央区八重洲二丁目 2 番 1 号 エルピーダメモリ
 株式会社内

 【氏名】 大野 隆夫

【発明者】

 【住所又は居所】 東京都中央区八重洲二丁目 2 番 1 号 エルピーダメモリ
 株式会社内

 【氏名】 細川 浩二

【発明者】

 【住所又は居所】 東京都中央区八重洲二丁目 2 番 1 号 エルピーダメモリ
 株式会社内

 【氏名】 西尾 洋二

【発明者】

 【住所又は居所】 東京都青梅市藤橋三丁目 3 番地 2 株式会社ルネサス東
 日本セミコンダクタ内

 【氏名】 中村 淳

【発明者】

【住所又は居所】 東京都青梅市藤橋三丁目 3 番地 2 株式会社ルネサス東
日本セミコンダクタ内

【氏名】 佐藤 朝彦

【特許出願人】

【識別番号】 500174247

【氏名又は名称】 エルピーダメモリ株式会社

【代理人】

【識別番号】 100071272

【弁理士】

【氏名又は名称】 後藤 洋介

【選任した代理人】

【識別番号】 100077838

【弁理士】

【氏名又は名称】 池田 憲保

【先の出願に基づく優先権主張】

【出願番号】 特願2002-281593

【出願日】 平成14年 9月26日

【手数料の表示】

【予納台帳番号】 012416

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0110118

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体ユニット、半導体モジュール及びメモリシステム

【特許請求の範囲】

【請求項 1】 1 つの入出力信号に対して 2 つのデバイス端子を備える半導体ユニットであって、

該半導体ユニットは、信号配線層と電源又はグランド配線層とを含む少なくとも 2 層の配線層を有する積層基板と、入出力パッドを備え該入出力パッドを介して前記積層基板の表面に搭載される半導体チップとを備えており、

前記 2 つのデバイス端子は、前記積層基板上に配置されると共に前記信号配線層中の 1 つの信号配線の両端にそれぞれ接続されており、該 1 つの信号配線は、ビアホールを介して前記半導体チップの入出力パッドに接続されることを特徴とする半導体ユニット。

【請求項 2】 前記半導体チップは、前記入出力パッドに対応して、入力バッファ及び出力バッファの少なくとも一方、入力保護抵抗、並びに、静電保護素子を有する入出力回路を備える請求項 1 に記載の半導体ユニット。

【請求項 3】 1 つの入出力信号に対して 2 つのデバイス端子を備える半導体ユニットであって、

該半導体ユニットは、信号配線層と電源又はグランド配線層とを含む少なくとも 2 層の配線層を有する積層基板と、入出力パッドを備え該入出力パッドを介して前記積層基板の表面に搭載される半導体チップとを備えており、

前記半導体チップは、1 つのチップ内配線の両端に接続される 2 つの入出力パッドを備え、前記 2 つのデバイス端子はそれぞれ、前記信号配線層中の対応する信号配線及びビアホールを介して前記 2 つの入出力パッドに接続されることを特徴とする半導体ユニット。

【請求項 4】 前記半導体チップは、前記 2 つの入出力パッドに対応して、入力バッファ及び出力バッファの少なくとも一方、入力保護抵抗、並びに、静電保護素子を有する 1 つの入出力回路を備え、該入出力回路は、別のチップ内配線を介して前記 1 つのチップ内配線に接続される請求項 3 に記載の半導体ユニット

。

【請求項 5】 前記信号配線層は、前記積層基板内のグランド配線層と共にマイクロストリップ線路を形成し、前記グランド配線層は、前記信号配線層と前記半導体チップとの間に配置される請求項 1 から 4 の何れかに記載の半導体ユニット。

【請求項 6】 前記信号配線層は、前記積層基板内の電源層とグランド配線層との間に挟まれて、該電源層又はグランド配線層とストリップ線路を形成する請求項 1 から 4 の何れかに記載の半導体ユニット。

【請求項 7】 前記積層基板は、前記半導体チップの平面サイズよりも大きく形成されており、前記積層基板の裏面に形成される前記 2 つのデバイス端子に対向して、前記積層基板の表面に形成される 2 つのデバイス端子を更に備える請求項 1 から 6 の何れかに記載の半導体ユニット。

【請求項 8】 前記半導体ユニットは、クロック信号を入力して動作するように構成され、前記入出力回路と前記 1 つの信号配線までの距離 L は、半導体ユニットの製品仕様で決定されるクロックのサイクルタイム t_{ck} との間で、 $2 \times 2L \times 7 \text{ ns} / m < t_{ck} / 10$ なる関係を満たす請求項 2 又は 4 に記載の半導体ユニット。

【請求項 9】 コネクタ及び該コネクタに接続されるモジュール内配線を備えるモジュール基板と、該モジュール基板の表面及び裏面にそれぞれ搭載され前記モジュール内配線に接続される複数の半導体ユニットとを備える半導体モジュールであって、

前記半導体ユニットのそれぞれが、請求項 1 から 8 の何れかに記載の半導体ユニットとして構成され、

前記モジュール基板の表面及び裏面に対向して配置される 2 つの半導体ユニットの前記 2 つのデバイス端子の一方は、ビアホールを介して相互に接続され、前記 2 つのデバイス端子の他方はそれぞれ、前記モジュール基板の表面及び裏面に配置されるモジュール内配線を介して前記コネクタに接続されることを特徴とする半導体モジュール。

【請求項 10】 前記モジュール基板が、少なくとも 2 層の配線層を有する請求項 9 に記載の半導体モジュール。

【請求項 1 1】 コネクタ及び該コネクタに接続されるモジュール内配線を備えるモジュール基板と、該モジュール基板の表面及び裏面にそれぞれ搭載され前記モジュール内配線に接続される、請求項 7 に記載の複数の半導体ユニットとを備える半導体モジュールであって、

複数の半導体ユニットが積層されており、上層の半導体ユニットの裏面に形成されたデバイス端子と、下層の半導体ユニットの表面に形成されたデバイス端子とが接続もしくは共通化されることを特徴とする半導体モジュール。

【請求項 1 2】 前記モジュール基板の表面及び裏面に対向して配置される 2 つの半導体ユニットの前記 2 つのデバイス端子の一方は、ビアホールを介して相互に接続され、前記 2 つのデバイス端子の他方はそれぞれ、前記モジュール基板の表面及び裏面に配置されるモジュール内配線を介して前記コネクタに接続される請求項 1 1 に記載の半導体モジュール。

【請求項 1 3】 前記半導体ユニットがメモリデバイスである、請求項 9 から 1 2 の何れかに記載の半導体モジュール。

【請求項 1 4】 前記モジュール基板に搭載されるレジスタを更に備え、該レジスタと前記複数のメモリデバイスとの間の制御配線が、前記 2 つのデバイス端子の間を通過している請求項 1 3 に記載の半導体モジュール。

【請求項 1 5】 マザーボード配線を有するマザーボードと、該マザーボードに搭載されるコントローラと、前記マザーボード上に順次に搭載され、前記マザーボード配線を介して前記コントローラと順次に接続される複数の半導体モジュールと、前記マザーボード配線の終端に接続される終端抵抗とを備えるメモリシステムであって、

前記半導体モジュールが、請求項 1 3 又は 1 4 に記載の半導体モジュールであり、前記マザーボード配線が、前記モジュール内配線を介して一連に接続されることを特徴とするメモリシステム。

【請求項 1 6】 前記 1 つの信号配線が、前記メモリデバイスからデータを読み出し、また、前記メモリデバイスにデータを書き込むためのデータバスである請求項 1 5 に記載のメモリシステム。

【請求項 1 7】 1 つの入出力信号に対して少なくとも 2 つのデバイス端子

を備える半導体ユニットであって、

該半導体ユニットは前記半導体ユニットの左右もしくは前後もしくは表裏異なる側に前記 2 つのデバイス端子が一つずつ配置されており、前記 2 つのデバイス端子は半導体チップの対応する前記入出力信号の入出力パッドに配線されることを特徴とする半導体ユニット。

【請求項 18】 1 つの入出力信号に対して 2 つのデバイス端子を備える半導体ユニットであって、

該半導体ユニットは前記半導体ユニットの左右異なる側に前記 2 つのデバイス端子が一つずつ配置されており、前記 2 つのデバイス端子のうち、片側のデバイス端子だけが半導体チップの対応する前記入出力信号の入出力パッドに配線されることを特徴とする半導体ユニット。

【請求項 19】 1 つの入出力信号に対して 2 つのデバイス端子を備える半導体ユニットであって、

前記 2 つのデバイス端子のうち、片側のデバイス端子に接続されたパッケージ内配線だけが半導体チップの対応する前記入出力信号の入出力パッドにワイヤボンディングで接続されることを特徴とする請求項 18 記載の半導体ユニット。

【請求項 20】 1 つの入出力信号に対して 2 つのデバイス端子を備える半導体ユニットであって、

前記 2 つのデバイス端子のうち、片側のデバイス端子に接続されたパッケージ内配線だけが半導体チップの対応する前記入出力信号の入出力パッドにジャンパチップで接続されることを特徴とする請求項 18 記載の半導体ユニット。

【請求項 21】 1 つの入出力信号に対して 2 つのデバイス端子を備える半導体ユニットであって、

前記 2 つのデバイス端子が半導体チップの対応する前記入出力信号の入出力パッドにそれぞれパッケージ内配線で配線されており、前記 2 つのデバイス端子のうち、片側のデバイス端子に接続されたパッケージ内配線が切断されていることを特徴とする請求項 18 記載の半導体ユニット。

【請求項 22】 1 つの入出力信号に対して 2 つのデバイス端子を備える半導体ユニットであって、

該半導体ユニットは、信号配線層と電源又はグランド配線層とを含む少なくとも2層の配線層を有する積層基板と、入出力パッドを備え該入出力パッドを介して前記積層基板の表面に搭載される半導体チップとを備えており、前記2つのデバイス端子は、それぞれ前記積層基板の片側表裏面上に対向して配置されるとともに、間にビアホールを介して接続され、さらに該ビアホールは1本の配線で前記半導体チップの入出力パッドに接続されることを特徴とする半導体ユニット。

【請求項23】 前記積層基板の表裏両面に半導体チップを備えた請求項22記載の半導体ユニット。

【請求項24】 請求項22記載の半導体ユニットを積層し、上層の半導体ユニットの裏面のデバイス端子と下層の半導体ユニットの表面のデバイス端子を接続または共通化した請求項22記載の半導体ユニット。

【請求項25】 メモリとして1つの入出力信号に対して2つのデバイス端子を備える請求項17乃至21の半導体ユニットを備えたメモリモジュールであって、

該入出力信号の配線において、前記2つのデバイス端子のうち、前記配線が短く配線できる方のデバイス端子を選択して配線したことを特徴とするメモリモジュール。

【請求項26】 メモリとして1つの入出力信号に対して2つのデバイス端子を備える請求項22乃至24の半導体ユニットを備えたメモリモジュールであって、

該入出力信号の配線において、前記2つのデバイス端子のうち、前記配線が短く配線できる方のデバイス端子を配線できるように、該半導体ユニットのメモリモジュール基板との接続を持つ面を選択して実装したことを特徴とするメモリモジュール。

【請求項27】 少なくとも1つの信号に対して4つのデバイス端子を備え、前記4つのデバイス端子のうち第1と第2の端子はそれぞれ前記積層基板の左側表裏面上に対向して配置され、第3と第4の端子はそれぞれ前記積層基板の右側表裏面上に対向して配置され、第1及び第2の端子と第3及び第4の端子は前記積層基板の左右に対向して配置され、第1及び第2の端子の間は第1のビアホ

ールを介して接続され、第3及び第4の端子の間は第2のビアホールを介して接続され、第1のビアホール及び第2のビアホールはそれぞれ1本の配線で前記半導体チップの対応する信号パッドに接続されていることを特徴とする請求項23の半導体ユニット。

【請求項28】 少なくとも1つの入出力信号に対して2つのデバイス端子を備え、信号配線層と電源又はグランド配線層とを含む少なくとも2層の配線層を有する積層基板と入出力パッドを備え、該入出力パッドを介して前記積層基板の片面もしくは両面に搭載される半導体チップとを備えており、前記2つのデバイス端子は、それぞれ前記積層基板の片側表裏面上に対向して配置されるときともに、間にビアホールを介して接続され、さらに該ビアホールは1本の配線で前記半導体チップの入出力パッドに接続され、また別の少なくとも1つの信号に対して4つのデバイス端子を備え、前記4つのデバイス端子のうち第1と第2の端子はそれぞれ前記積層基板の左側表裏面上に対向して配置され、第3と第4の端子はそれぞれ前記積層基板の右側表裏面上に対向して配置され、第1及び第2の端子と第3及び第4の端子は前記積層基板の左右に対向して配置され、第1及び第2の端子の間は第1のビアホールを介して接続され、第3及び第4の端子の間は第2のビアホールを介して接続され、第1のビアホール及び第2のビアホールはそれぞれ1本の配線で前記半導体チップの対応する信号パッドに接続されていることを特徴とする半導体ユニット。

【請求項29】 請求項27乃至28記載の半導体ユニットをメモリとして搭載したメモリシステム。

【請求項30】 1つの入出力信号に対してパッケージの表裏両面に少なくとも2つのボール端子接着用領域を有する半導体ユニットであって、前記パッケージの片方の面のボール端子接着用領域だけにボール端子が接着されていることを特徴とする半導体ユニット。

【請求項31】 請求項30記載の半導体ユニットを搭載したメモリシステムであって、少なくとも1つの前記半導体ユニットにおいて、前記メモリシステム上の入出力信号配線を短く配線できる方のボール端子接着用領域だけにボール端子が接着されていることを特徴とするメモリシステム。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、半導体ユニット、半導体モジュール及びメモリシステムに関し、特に、高速動作時にデータ信号等の劣化が少ない半導体ユニット、半導体モジュール、及び、メモリシステムに関する。

【0002】**【従来の技術】**

近年、メモリシステムでは、高速化への要求が益々高くなってきており、特に高速のメモリシステムには、例えば数百MHz～数GHzといった高い周波数に対応する性能が要求される。一般に、メモリシステムでは、動作周波数が高くなると、信号が配線を伝播する際に波形が乱れやすくなるため、特許文献1乃至3に記載されるメモリシステムのように、信号配線には信号が高速かつ正確に伝播されるような工夫が施されている。

【0003】

例えば、特許文献1には、高速動作が可能なメモリシステムとして、信号配線の分岐を削減し、配線の分岐で発生する信号の反射を低減する技術が記載されている。図13は、特許文献1の図21に記載のメモリシステムにおける信号配線経路を示している。メモリシステム200は、メモリコントローラ201と、それぞれがメモリデバイス204を搭載する複数のメモリモジュール203及び終端抵抗205を備える。

【0004】

メモリシステム200は、マザーボード206上に搭載され、メモリシステム200の各要素は、信号配線207及び図示しないコマンドアドレス配線で接続されている。モジュールソケット202は、対応するメモリモジュール203を保持する共に、信号配線207とモジュール内配線208とを接続する。各メモリモジュール203は、モジュール基板と、モジュール基板上に搭載された複数のメモリデバイス204を備える。

【0005】

メモリコントローラ 201 は、信号配線 207 を介してメモリシステム 200 全体を制御し、所望のメモリモジュール 203 に搭載されたメモリデバイス 204 からデータを読み出し、また、メモリデバイス 204 にデータを書き込む。信号配線 207 及びモジュール内配線 208 は、その配線インピーダンスが所望の値に制御され、インピーダンス不整合により生じる信号反射等を防止している。各メモリデバイス 204 は、例えば半田ボールで構成されるデバイス端子 209 を介してモジュール基板上のモジュール内配線 208 と接続する。終端抵抗 205 は、信号配線 207 を終端し、配線終端部における信号の反射を防止する。

【0006】

図 14 は、図 13 のメモリデバイス 204 の詳細を示している。メモリデバイス 204 は、パッケージ基板 211 に搭載されたメモリチップ 210 として構成される。パッケージ基板 211 には、インピーダンスが所望の値に制御されたパッケージ内配線 213 が配線され、パッケージ内配線 213 の一端は、ビアを介してデバイス端子 209 と接続される。パッケージ内配線 213 の他端は、メモリチップ 210 の入出力端子として構成される信号端子パッド 212 と、ビアを介して接続される。

【0007】

デバイス端子 209 と信号端子パッド 212 とは、1対1の関係を有し、あるデバイス端子 209 から入力した信号は、そのデバイス端子 209 に対応するパッケージ内配線 213 を介して信号端子パッド 212 に入力する。パッケージ内配線 213 は、デバイス端子 209 と、そのデバイス端子 209 に対応する信号端子パッド 212 との位置関係によって、その配線長が決定される。図 13 のメモリシステム 200 において、メモリコントローラ 201 から終端抵抗 205 までの配線中で、分岐配線を構成するのは、実質的に、パッケージ内配線 213 のみとなる。

【0008】

上述のように、特許文献 1 に記載の技術では、高速動作を行なうメモリシステム 200 において、メモリコントローラ 201 から終端抵抗 205 に至る信号経路を、分岐がない一筋（一連）の配線で構成することで配線分岐箇所が発生する

信号の反射を少なくし、信号の乱れを最小限にして高速動作を可能としている。

【0009】

また、特許文献3には高速動作が可能なメモリシステムとして、JEDEC（米国電子工業会の下部組織）で標準化されたSSTLインターフェースによるメモリバスの例が記載されている（SSTL：Stub Series Terminated Logic）。このSSTLバスはバス配線の少なくとも一方の末端に終端用抵抗を備え、また信号配線の分岐点に伝送線の実効インピーダンスを整合するための抵抗（スタブ抵抗）を備えることで、配線の分岐で発生する信号の反射を低減する。

【0010】

特許文献3の図20には、バス配線の両端に終端抵抗を具備したSSTLバスの例が記載されている。図23（a）はSSTLバスの実施例である。図に示されているように、SSTLバスに於ては、マザーボード上幹線配線108にメモリモジュール上分岐配線110を接続する際、分岐配線の分岐個所に抵抗2301を挿入する。この抵抗2301の抵抗値 R_s は、分岐での特性インピーダンスを整合するために $Z_0/2 + R_s = Z_1$ の関係を満たすものであることが望ましい（ここで Z_0 はマザーボード上幹線配線108の特性インピーダンス、また Z_1 はメモリモジュール上分岐配線110の特性インピーダンスである。）が、メモリ側出力時の信号振幅の確保のために上記より若干小さい値が用いられることもある。

【0011】

この場合、分岐配線端で反射した信号が幹線配線に戻る際に、分岐配線と幹線配線との間でインピーダンスの不整合が緩和されているため反射が低減される。従って、反射の繰り返しによる波形の乱れを低減でき、高速なデータ転送が可能となる。さらに幹線配線の末端は終端抵抗106を介して所定の終端電圧（例えば電源電圧の半分）に終端されており、終端抵抗の値を適切な値に設定することによって、幹線配線の終端に於ける信号の反射を防いでいる。

【0012】

上述のように、特許文献3に記載の技術では、高速動作を行なう分岐を有する

メモリシステムにおいて、信号配線の分岐点に伝送線の実インピーダンスを整合するための抵抗（スタブ抵抗）を備えることで配線分岐箇所が発生する信号の反射の繰り返しによる信号の乱れを低減して高速動作を可能としている。

【 0 0 1 3 】**【特許文献 1】**

特開 2 0 0 1 - 2 5 6 7 7 2 号公報

【 0 0 1 4 】**【特許文献 2】**

特開 2 0 0 1 - 6 8 6 1 7 号公報

【 0 0 1 5 】**【特許文献 3】**

特開平 1 0 - 0 2 0 9 7 4 号公報

【 0 0 1 6 】**【発明が解決しようとする課題】**

上記したように、メモリシステム 2 0 0 では、パッケージ内配線 2 1 3 が、信号配線 2 0 7 及びモジュール内配線 2 0 8 に対して分岐配線を構成する。パッケージ内配線 2 1 3 は、配線長が十分に短い配線として構成されるため、動作周波数がある程度低いときには、パッケージ内配線 2 1 3 の端部で生じる信号反射は問題とならない。しかし、メモリシステム 2 0 0 が更に高速化すると、パッケージ内配線 2 1 3 の端部で反射した信号が、パッケージ内配線 2 1 3 を往復することによって発生する信号波形の乱れが問題になる。

【 0 0 1 7 】

例えば、パッケージ内配線 2 1 3 の配線長を 1 0 mm、配線中を伝播する信号の単位距離当たりの伝播時間を 6 ns/m とすると、信号がパッケージ内配線 2 1 3 を往復するのに要する時間 t_S は、1 2 0 ps となる。伝播する信号の立ち上がり時間 t_R が、信号往復時間 t_S の 2 倍程度以下になると、信号波形に対する影響が大きくなり、信号反射による波形の乱れが顕在化してくる。信号の立ち上がり時間 t_R が動作周波数の 1/10 程度であるとする、動作周波数が 1 0 0 MHz のときの信号立ち上がり時間 t_R は約 1 ns となり、1 GHz のときは

信号立ち上がり時間 t_R は約 100 ps となる。動作周波数が 100 MHz 程度の場合には、信号往復時間 t_S が立ち上がり時間 t_R に比して十分に短く、波形の乱れは大きな問題にはならないが、動作周波数が GHz オーダーに近づくにつれて、信号往復時間 t_S と立ち上がり時間 t_R との差が小さくなり、信号波形の乱れが問題になってくる。

【0018】

メモリシステム 200 において安定した高速動作を実現するためには、分岐配線を構成するパッケージ内配線 213 の配線長を極力短くするとよい。しかし、パッケージ内配線 213 は、前述のように、デバイス端子 209 と、そのデバイス端子 209 に対応する信号端子パッド 212 との位置関係によって、その配線長が決定されるため、レイアウト上の制約があり、任意に配線長を設定することができなかった。このため、パッケージ内配線 213 が信号経路を分岐する従来のメモリシステム 200 では、動作周波数の高速化に限界があった。

【0019】

特許文献 2 には、1 つのメモリモジュールに複数の半導体素子を積層する技術が記載されている。特許文献 2 に記載の技術では、半導体素子の直下に形成される基板の一端と他端とを接続する基板と平行方向の信号配線、及び、基板の一端と他端とに互い違いに配置されたビアによって形成される積層方向の信号配線が、一筋の配線として構成され、高速動作に対応する。しかし、特許文献 2 では、基板平行方向の信号配線が、半導体素子直下を長い区間通過することになり、動作周波数が高速化すると、この信号配線から、半導体素子内の信号配線や電源配線にクロストークノイズ（電磁結合ノイズ）が乗るという問題がある。また、半導体素子の積層を行なうと、半導体素子から発生する熱が集中し、モジュールの温度を上昇させ、性能低下を引き起こすという問題もある。

【0020】

高速動作するメモリモジュールでは、デバイスに到達する各種信号のタイミング制御を高精度に行なう必要がある。タイミング制御を高精度に行ない、データ配線及びコマンドアドレス配線の双方を、タイミングエラーや、信号反射、クロストークなどの観点から問題なく敷設するためには、レイアウト上で配線占有面

積が増加し、配線の自由度が低下する。特にコマンドアドレス配線では、メモリモジュールに搭載されるレジスタから、全てのメモリデバイスに信号を分配する必要があり、モジュールの小型化や、メモリチップの大容量化、機能拡張によるコマンドアドレス配線数の増加などの要求によって、更に配線占有面積が増加して配線の自由度が低下し、レイアウトは更に厳しくなるという問題が発生する。

【0021】

また、従来のメモリモジュールでは、配線すべきモジュール基板上の端子とそれに対応するメモリデバイス上の端子の位置関係の制約と、モジュール基板上に配置されたコマンド・アドレス信号用レジスタICやクロックバッファ用PLL

IC (PLL: Phase-Locked Loop) といった配線できない領域の制約により、メモリモジュール端子からメモリデバイス端子への信号配線の引き回しが複雑になり、信号配線の配線長が増大することがある。数百MHzオーダーの信号伝送を行う分岐を有するメモリシステムでは上記信号配線が分岐配線に該当し、その配線長の増大は分岐配線内の信号の反射・往復によって発生する信号波形の乱れを増大させるという問題があった。

【0022】

本発明は上記問題点を解消し、メモリシステムにおけるパッケージやメモリモジュール内の分岐配線の配線長を短縮し、高速動作に際しても信号波形の乱れがメモリシステムの動作に不具合を与えず、配線の配線自由度の不足を緩和する半導体ユニット及び半導体モジュール並びにこのような半導体ユニットや半導体モジュールを備えるメモリシステムを提供することを目的とする。

【0023】

また、本発明は、信号配線からメモリデバイスに載るクロストークノイズを低減でき、熱放散能力を向上してデバイス温度上昇によるデバイスの性能低下を抑える半導体ユニット、半導体モジュール及びメモリシステムを提供することを目的とする。

【0024】

【課題を解決するための手段】

上記目的を達成するために、本発明の第1の視点の半導体ユニットは、1つの

入出力信号に対して2つのデバイス端子を備える半導体ユニットであって、該半導体ユニットは、信号配線層と電源又はグランド配線層とを含む少なくとも2層の配線層を有する積層基板と、入出力パッドを備え該入出力パッドを介して前記積層基板の表面に搭載される半導体チップとを備えており、前記2つのデバイス端子は、前記積層基板上に配置されると共に前記信号配線層中の1つの信号配線の両端にそれぞれ接続されており、該1つの信号配線は、ビアホールを介して前記半導体チップの入出力パッドに接続されることを特徴とする。

【0025】

本発明の第1の視点の半導体ユニットでは、1つの入出力信号に対応して2つのデバイス端子を備え、各デバイス端子は、積層基板（パッケージ基板）の信号配線層に配線される信号配線を介して相互に接続される。信号線は、所望の位置で、対応する半導体チップの入出力パッドにビア（スルーホール）を介して接続される。双方のデバイス端子から見ると、入出力パッドに接続される配線（ビア）は、デバイス端子間に形成される信号線に対して分岐配線を構成する。1つの入出力信号に対応して2つのデバイス端子を備えるため、半導体ユニットでは、一方のデバイス端子から入力した信号を、半導体チップに分岐配線を介して入出力パッドから入力すると共に、他方のデバイス端子から取り出すことができる。このため、例えば、外部に形成されるデータバスから分岐して半導体ユニットに信号を入力するのに代えて、半導体ユニット内に形成される信号配線をデータバス中に挿入することができる。

【0026】

1つの入出力パッドが1つのデバイス端子に接続される従来の構造では、デバイス端子から入出力パッドまでの半導体ユニット内の信号配線が、データバスに対して分岐ラインを構成していたが、本発明では、2つのデバイス端子間を接続する信号配線から半導体チップの入出力パッドまでの配線が分岐ラインを構成する。従来の半導体ユニットと比較して、データバスに対して分岐ラインを構成する配線の配線長が短縮でき、信号が分岐ラインを往復する時間が短くなるため、高速動作する半導体ユニットについても、分岐ラインで生じる信号反射の信号波形への影響が少なく、半導体ユニットの動作が不安定にならない。

【0027】

また、パッケージ基板は、少なくとも2層の配線層を有し、電源配線層には、電源面（例えばVDD面）やグランド面（GND面）が配線される。信号配線層を電源配線層によってシールドすることで、入出力信号線から半導体チップに侵入するクロストークを低減することができる。上記分岐配線は、実質的に、ビアホールのみから構成されることが好ましい。

【0028】

本発明の第2の視点の半導体ユニットは、1つの入出力信号に対して2つのデバイス端子を備える半導体ユニットであって、該半導体ユニットは、信号配線層と電源又はグランド配線層とを含む少なくとも2層の配線層を有する積層基板と、入出力パッドを備え該入出力パッドを介して前記積層基板の表面に搭載される半導体チップとを備えており、前記半導体チップは、1つのチップ内配線の両端に接続される2つの入出力パッドを備え、前記2つのデバイス端子はそれぞれ、前記信号配線層中の対応する信号配線及びビアホールを介して前記2つの入出力パッドに接続されることを特徴とする。

【0029】

本発明の第2の視点の半導体ユニットでは、1つの入出力信号に対応して2つのデバイス端子を備え、各デバイス端子は、1つの入出力信号に対応して2つの入出力パッドを有する半導体チップの各入出力パッドに信号配線を介してそれぞれ接続される。半導体チップでは各入出力パッド間がチップ内配線で相互に接続されており、双方のデバイス端子間に形成された信号線は、一筋の配線として構成される。例えば、外部に形成されるデータバスから半導体チップの一方の入出力パッドに信号を入力する場合、入力信号は、一方の入出力パッドから半導体チップに入力されると共に、チップ内配線、他方の入出力パッドを介して、他方のデバイス端子から出力される。

【0030】

このため、データバスに対して分岐ラインを構成する配線の配線長が更に短縮でき、信号が分岐ラインを往復する時間が更に短くなるので、高速動作する半導体ユニットについても、分岐ラインで生じる信号反射の信号波形への影響が少な

く、半導体ユニットの動作が不安定にならない。また、パッケージ基板は、少なくとも2層の配線層を有し、電源配線層には、電源面（例えばVDD面）やグラウンド面（GND面）が配線される。信号配線層を、電源配線層によってシールドすることで、入出力信号線から半導体チップに侵入するクロストークを低減することができる。

【0031】

本発明の第3の視点の半導体ユニットは、1つの入出力信号に対して該半導体ユニットに2つのデバイス端子を備える半導体ユニットであって、前記半導体ユニットは、半導体チップと前記半導体チップの少なくとも1つの入出力信号用チップパッドと前記チップパッドと対応する2つのデバイス端子のうち半導体モジュールと電気的接続を持つ1つのデバイス端子を選択的に接続する配線を備えたことを特徴とする。

【0032】

本発明の第3の視点の半導体ユニットでは、1つの入出力信号に対応して2つのデバイス端子を備え、半導体モジュールと電気的に接続されるデバイス端子を選択できる。このため、半導体モジュール上配線長が短くできる方のデバイス端子を選択して配線できる。また、チップパッドと前記チップパッドと対応する2つのデバイス端子のうち半導体モジュールと電気的接続を持たないもう一方のデバイス端子との間に配線を持たないので余分な配線容量や配線インダクタンスを持たない。これによって信号反射を低減することができる。

【0033】

本発明の第4の視点の半導体ユニットは、1つの入出力信号に対して該半導体ユニットに2つのデバイス端子を備える半導体ユニットであって、前記半導体ユニットは、半導体チップと前記半導体チップの少なくとも1つの入出力信号用チップパッドに接続された前記2つのデバイス端子を前記半導体ユニット片側の表面及び裏面に対向して1つずつ備えたことを特徴とする。

【0034】

本発明の第4の視点の半導体ユニットでは、1つの入出力信号に対応して半導体ユニット片側の表裏それぞれの面に対向して1つずつデバイス端子を備え、半

導体ユニットを半導体モジュールに実装する際、前記半導体ユニットの表面を上向きになるようにした場合と裏面を上向きになるようにした場合でデバイス端子の場所を変更することができる。このため、半導体モジュール上配線長が短くてできる方の実装方法を選択して配線できる。また、チップパッドと前記チップパッドと対応する2つのデバイス端子のうちメモリモジュールと直接的に接続を持たないもう一方のデバイス端子との間の配線の長さは半導体ユニットの厚さ未満なので、半導体モジュールと直接的に接続されないデバイス端子への配線による余分な配線容量や配線インダクタンスも非常に小さい。これによって信号反射を低減することができる。

【0035】

本発明の第1及び第2の視点の半導体ユニットでは、前記信号配線層は、前記積層基板内のグラウンド配線層と共にマイクロストリップ線路を形成し、前記グラウンド配線層は、前記信号配線層と前記半導体チップとの間に配置されてもよく、或いは、前記信号配線層は、前記積層基板内の電源層とグラウンド配線層との間に挟まれて、該電源層又はグラウンド配線層とストリップ線路を形成してもよい。これらの場合、半導体チップ近傍のパッケージ基板に含まれる金属の割合が大きくなるため、熱の放散をスムーズに行なうことができ、半導体チップの温度が上昇して動作が不安定になることを防止できる。

【0036】

本発明の第1及び第2の視点の半導体ユニットでは、前記積層基板は、前記半導体チップの平面サイズよりも大きく形成されており、前記積層基板の裏面に形成される前記2つのデバイス端子に対向して前記積層基板の表面に形成される2つのデバイス端子を更に備える構成を採用することができる。この場合、半導体ユニットは、1つの入出力信号に対して最大4つのデバイス端子を有する。半導体ユニットを積層した際には、同じ入出力信号に対して、表面側の一方及び他方、並びに、裏面側の一方及び他方のデバイス端子のうち、2つのデバイス端子を組み合わせて接続することができる。半導体ユニットは、信号配線とは接続せず、表面側と裏面側とを直接にビアを介して接続するデバイス端子を備えていてもよい。

【0037】

本発明の第1の視点の半導体ユニットでは、前記半導体チップは、前記入出力パッドに対応して、入力バッファ及び出力バッファの少なくとも一方、入力保護抵抗、並びに、静電保護素子を有する入出力回路を備える構成を採用することができる。

【0038】

本発明の第2の視点の半導体ユニットでは、前記半導体チップは、前記2つの入出力パッドに対応して、入力バッファ及び出力バッファの少なくとも一方、入力保護抵抗、並びに、静電保護素子を有する1つの入出力回路を備え、該入出力回路は、別のチップ内配線を介して前記1つのチップ内配線に接続される構成を採用することができる。

【0039】

本発明の第1及び第2の視点の半導体ユニットは、クロック信号を入力して動作するように構成され、前記入出力回路と前記1つの信号配線までの距離 L は、半導体ユニットの製品仕様で決定されるクロックのサイクルタイム t_{ck} との間で、 $2 \times 2L \times 7 \text{ ns/m} < t_{ck} / 10$ なる関係を満たすことが好ましい。一般に、信号立ち上がり時間を t_R 、信号が分岐配線を往復する時間を t_S とすると、信号立ち上がり時間が t_R が、信号往復時間 t_S の2倍以下、言い換えれば、信号往復時間 t_S が、信号立ち上がり時間 t_R の $1/2$ 以上となると、信号波形の乱れが顕在化する。信号が単位距離を伝播するのに要する時間が $6 \sim 7 \text{ (ns/m)}$ であり、信号立ち上がり時間 t_R が動作クロックの周期の $1/10$ 程度であった場合には、 $2 \times 2L \times 7 \text{ ns/m} < t_{ck} / 10$ の関係を満たせば、信号波形の乱れが半導体ユニットの動作に影響を与えず、良好な動作が可能になる。

【0040】

本発明の半導体モジュールは、コネクタ及び該コネクタに接続されるモジュール内配線を備えるモジュール基板と、該モジュール基板の表面及び裏面にそれぞれ搭載され前記モジュール内配線に接続される複数の半導体ユニットとを備える半導体モジュールであって、前記半導体ユニットのそれぞれが、上記本発明の第1又は第2の半導体ユニットとして構成され、前記モジュール基板の表面及び裏

面に対向して配置される 2 つの半導体ユニットの前記 2 つのデバイス端子の一方は、ビアホールを介して相互に接続され、前記 2 つのデバイス端子の他方はそれぞれ、前記モジュール基板の表面及び裏面に配置されるモジュール内配線を介して前記コネクタに接続されることを特徴とする。

【0 0 4 1】

本発明の第 1 の視点の半導体モジュールでは、モジュール基板の表面及び裏面で、モジュール外配線とモジュール内配線とがコネクタでそれぞれ接続され、各モジュール内配線は、モジュール基板の表面及び裏面に搭載する上記第 1 又は第 2 の視点の半導体ユニットの一方のデバイス端子とそれぞれ接続される。表面及び裏面に搭載される半導体ユニットのそれぞれの他方のデバイス端子は、モジュール基板の表面及び裏面間を接続するビアを介して接続される。このため、表面側のコネクタから裏面側のコネクタに至る配線が、一筋の配線として構成でき、分岐箇所を削減して高速動作が可能になる。また、半導体ユニット直下では、半導体ユニットに入力した信号に対応するモジュール内配線を配線する必要がなくなるため、配線層を増加させることなく、ユニット直下に制御配線等の他の配線を配置することができ、配線レイアウト上の自由度が向上する。

【0 0 4 2】

本発明の第 2 の視点の半導体モジュールは、コネクタ及び該コネクタに接続されるモジュール内配線を備えるモジュール基板と、該モジュール基板の表面及び裏面にそれぞれ搭載され前記モジュール内配線に接続される、表面及び裏面にデバイス端子が形成できる複数の半導体ユニットとを備える半導体モジュールであって、複数の半導体ユニットが積層されており、上層の半導体ユニットの裏面に形成されたデバイス端子と、下層の半導体ユニットの表面に形成されたデバイス端子とが接続されることを特徴とする。

【0 0 4 3】

本発明の第 2 の視点の半導体モジュールでは、モジュール内配線は、モジュール基板の表面及び裏面に搭載する、上記表面及び裏面にデバイス端子が形成された半導体ユニットの裏面側の一方のデバイス端子と接続される。半導体ユニットはモジュール基板上に積層され、半導体ユニット内に形成される信号配線は、半

導体ユニットの表面及び裏面に形成された一方及び他方のデバイス端子の接続を適切にすることで、一筋の配線となるように接続される。この場合、積層される半導体ユニット内の分岐箇所が削減して、高速動作が可能になる。

【0044】

本発明の第2の視点の半導体モジュールでは、前記モジュール基板の表面及び裏面に対向して配置される2つの半導体ユニットの前記2つのデバイス端子の一方は、ビアホールを介して相互に接続され、前記2つのデバイス端子の他方はそれぞれ、前記モジュール基板の表面及び裏面に配置されるモジュール内配線を介して前記コネクタに接続されることが好ましい。この場合、モジュールの表面側のコネクタから、モジュールの裏面側のコネクタまでの信号配線が有する分岐配線の配線長を短くできるため、半導体ユニットが積層された場合であっても、高速動作が可能になる。また、半導体ユニット直下では、半導体ユニットに入力した信号に対応するモジュール内配線を配線する必要がなくなるため、配線層を増加させることなく、ユニット直下に制御配線等の他の配線を配置することができ、配線レイアウト上の自由度が向上する。

【0045】

本発明の第1及び第2の視点の半導体モジュールでは、前記モジュール基板を、別の積層基板として構成することができる。この場合、モジュール内配線を電源面やグランド面でシールドし、ストリップラインやマイクロストリップラインを形成することができる。

【0046】

本発明の第1及び第2の視点の半導体モジュールでは、前記半導体ユニットをメモリデバイスとして構成することができる。

【0047】

本発明の第1及び第2の視点の半導体モジュールは、前記モジュール基板に搭載されるレジスタを更に備え、該レジスタと前記複数のメモリデバイスとの間の制御配線が、前記2つのデバイス端子の間を通過する構成を採用することができる。この場合、モジュール基板上で信号配線と制御配線とが交差しないため、制御配線のサイズを大きくして特性インピーダンスを低くすることができる。

【0048】

本発明の第3の半導体モジュールは、コネクタ及び該コネクタに接続されるモジュール内配線を備えるモジュール基板と、該モジュール基板の表面及び裏面にそれぞれ搭載され前記モジュール内配線に接続される複数の半導体ユニットとを備える半導体モジュールであって、前記半導体ユニットが上記本発明の第1又は第3又は第4の半導体ユニットとして構成され、前記モジュールのモジュール端子から前記半導体ユニットに至る配線を該配線長が短くできるように、半導体ユニットのデバイス端子を選択して接続されていることを特徴とする。

【0049】

本発明のメモリシステムは、マザーボード配線を有するマザーボードと、該マザーボードに搭載されるコントローラと、前記マザーボード上に順次に搭載され、前記マザーボード配線を介して前記コントローラと順次に接続される複数の半導体モジュールと、前記マザーボード配線の終端に接続される終端抵抗とを備えるメモリシステムであって、前記半導体モジュールが、第1又は第2の視点の半導体モジュールであり、前記マザーボード配線が、前記モジュール内配線を介して一連に接続されることを特徴とする。

【0050】

本発明のメモリシステムでは、上記第1及び第2の半導体モジュールとして構成されるメモリモジュールを採用することで、メモリコントローラから終端抵抗に至る信号経路に存在する分岐配線の配線長を短くすることができ、高速動作が可能になる。

【0051】

本発明のメモリシステムでは、前記1つの信号配線を、前記メモリデバイスからデータを読み出し、また、前記メモリデバイスにデータを書き込むためのデータバスとして構成することができる。メモリシステムにおいて、特にデータバスは、高速かつ正確な信号伝送が要求されるため、データバスを分岐が短い配線として構成することで、メモリシステムの高速化が可能となる。

【0052】

なお、本発明で用いる用語「一筋の配線」とは、配線経路中に分岐やループが

なく、1つの信号が信号経路を実質的に一方向にのみ伝播する信号配線を意味する。

【0053】

【発明の実施の形態】

以下、図面を参照し、本発明の実施形態例に基づいて、本発明を更に詳細に説明する。図1は、本発明の一実施形態例のメモリシステムの構成を斜視図として示している。図2は、図1のメモリシステム100のDQバス108方向に沿った断面を示している。メモリシステム100は、メモリコントローラ101と、メモリデバイス104及びレジスタ105を備えるメモリモジュール103と、終端抵抗106とを有する。

【0054】

メモリコントローラ101は、メモリシステム100全体を制御する。メモリモジュール103は、レジスタ105、及び、複数のメモリデバイス104を搭載する。モジュールソケット102は、メモリモジュール103に対応して設けられ、コネクタにより、マザーボード107上の各配線とメモリモジュール103内の配線とを電氣的に接続する。メモリコントローラ101は、所定データ長に対応した帯域のDQバス（データバス）108を介してメモリデバイス104に接続し、CAバス（制御系信号バス）109を介してレジスタ105に接続する。

【0055】

CAバス109は、レジスタ105で分岐し、モジュール内CAバス111によって、同じメモリモジュール103内のメモリデバイス104に分配される。DQバス108は、複数の系統が配線され、各DQバス108は、複数のメモリデバイス104を直列に（カスケード）接続する。図1の例では、4系統のDQバス108が配線され、各DQバス108は、4つのメモリデバイス104を直列に接続している（図2）。

【0056】

メモリコントローラ101から出力された信号は、DQバス108及びCAバス109のそれぞれの終端部に配置された終端抵抗106で終端される。また、

メモリモジュール103からメモリコントローラ101に向けて出力された信号は、メモリコントローラ101内、或いは、メモリコントローラ101の近傍に設けられた図示しない終端抵抗によって終端される。

【0057】

メモリシステム100内の信号配線は、全て同じインピーダンスとなるように配線され、終端抵抗106には、信号配線の特性インピーダンスに一致する抵抗値が採用される。モジュールソケット102など、局部的に、単独では信号配線とインピーダンスの整合が困難な構成要素が信号配線中に存在する箇所では、その近傍に容量素子などを付加することによって、実効的にインピーダンスが整合される。またメモリは容量負荷に見えるので、その近傍(loaded section)の配線のキャパシタンス成分を低く、又は、インダクタンス成分を高く、つまり、特性インピーダンスを高くすることによって、実効的にインピーダンスが整合される。

【0058】

メモリシステム100では、特にデータバス(DQバス)において信号の反射が生じないようにするために、信号配線のインピーダンスを正確に整合させて、高速な読み書きを可能としている。また、高速動作をするシステムにおいては、リターン電流のパスも重要であり、マザーボード107上、或いは、メモリモジュール103上の電源配線についても、不連続が生じないようにする。

【0059】

図2に示すように、メモリモジュールは、モジュール基板122上に複数のメモリデバイス104を備える。各メモリデバイス104は、例えば半田ボールによって構成されるデバイス端子(DQピン)112及びCAピン113を介してモジュール基板122上の対応する配線と電氣的に接続する。CAピン113は、メモリデバイス104とモジュール内CAバス111とを接続する。図2の例では、1つのメモリモジュール103には2本のモジュール内CAバス111が配線され、各モジュール内CAバス111は、それぞれに対応するCAピン113を介してメモリデバイス104に制御系信号を供給する。

【0060】

各メモリデバイス104は、1つのパッケージ内DQバス114につき2つのDQピン112を備え、各DQピン112は、モジュール内DQバス110と、パッケージ内DQバス114とを相互に接続する。メモリコントローラ101から終端抵抗106までのデータバスは、DQバス108、モジュール内DQバス110、DQピン112、及び、パッケージ内DQバス114によって分岐箇所がない一筋の配線として構成されている。

【0061】

図3は、メモリデバイス104の詳細をメモリチップ120の入出力部分の等価回路と共に示している。メモリデバイス104は、データ記憶部として構成されるメモリチップ120と、メモリチップ120を搭載するパッケージ基板121とを備える。メモリチップ120は、入力ドライバ128と、出力ドライバ129と、入力保護抵抗130と、静電保護容量131と、メモリセルアレイを含む図示しない内部回路とを備える。なお、同図では、制御系信号の配線については省略して図示している。

【0062】

メモリデバイス104は、緩衝材（エラストマ）132を介してモジュール基板122に貼り付けられる。パッケージ基板121は複数の配線層を有し、各配線層には、面状に配線されるパッケージ内電源プレーン（面）118（VDD）及び119（GND）と、パッケージ内DQバス114とがそれぞれ配線される。パッケージ内VDD面118及びGND面119は、それぞれ2つの電源ピン116（VDDピン）117（GNDピン）とビアを介して接続される。パッケージ内DQバス114は、その両端で2つのDQピン112とそれぞれビアを介して接続される。パッケージ内DQバス114は、VDD面118と、GND面119との中間の配線層に配線される。

【0063】

メモリチップ120は、信号入出力パッドとして構成される所定数の信号端子パッド115を備え、各信号端子パッド115は、所定の位置で、対応するパッケージ内DQバス114にビアを介して接続される。入力ドライバ128は、信号端子パッド115から入力保護抵抗130を介して入力する信号を、電圧値を

変換するなどしてメモリチップ120の内部回路に出力する。出力ドライバ129は、信号端子パッド115から、所定の電圧値で信号を出力する。このような構成を採用することで、例えば、信号端子パッド115から出力する信号は、1本のパッケージ内DQバス114を介して2つのDQピン112から出力することができる。出力ドライバ129の出力用MOSトランジスタは、静電保護素子としても機能し、MOSトランジスタの寄生容量（静電保護容量）131は、静電気破壊現象から、メモリチップ120の内部回路を保護する。

【0064】

図4は、図1及び図2に示すメモリモジュール103の詳細を示している。メモリモジュール103は、モジュール基板122のメモリコントローラ側及び終端抵抗側の面に、それぞれ図3に示すメモリデバイス(A)、(B)104を搭載している。モジュール基板122は、メモリコントローラ側及び終端抵抗側に、接続端子125A、125Bを備える。接続端子125A、Bは、モジュールソケット102（図1）において、モジュール内DQバス110A、110Bと、マザーボード107上のDQバス108とをそれぞれ接続するための端子として構成される。

【0065】

モジュール基板122は、内部に電源（モジュール内VDD面123及びGND面124）が配線される配線層を有する。モジュール内VDD面123及びGND面124は、メモリデバイス104のVDDピン116、及び、GNDピン117並びにビアを介してパッケージ内VDD面118及びGND面119に接続される。モジュール基板122内の配線層では、基板表面側にそれぞれモジュール内GND面124が配線され、モジュール内GND面124の間にモジュール内VDD面123が配線される。つまり、モジュール内VDD面123は、2つのモジュール内GND面124によって挟み込まれた配線として構成される。メモリデバイス104のVDDピン116及びGNDピン117は、DQピン112の近傍に配置される。

【0066】

モジュール基板122の表面には、モジュール内DQバス110A、110B

、及び、CAバス111が配線される。モジュール内DQバス110A、110Bは、それぞれメモリデバイス104のDQピン112及びビアを介してパッケージ内DQバス114に接続される。配線層を縦断するモジュール内DQバス110Cは、モジュール基板122のメモリコントローラ側の面のDQピン112と、終端抵抗側の面のDQピン112とを接続するビアで構成される。メモリモジュール103では、データバスが、モジュール内DQバス110A、110B、110C、及び、各メモリデバイス104のパッケージ内DQバス114によって、一筋の配線として構成される。

【0067】

ここで、図13に示す従来のメモリシステム200のメモリデバイス204では、図14に示すパッケージ内配線213がモジュール内配線208に対して分岐配線を構成していた。本実施形態例では、1つのパッケージ内DQバス114に対して、2つのDQピン112を備えるため、データバスが上記のような一筋の配線で構成できる。従来のメモリデバイス204（図14）におけるパッケージ内配線213に相当するパッケージ内DQバス114は、メモリシステム100中の一筋のデータバスの一部を構成し、データバスに対して分岐配線となっていない。

【0068】

図1及び図2に示すメモリシステム100において、データの書き込み時には、メモリコントローラ101から出力された信号は、マザーボード107上のDQバス108を伝播し、モジュールソケット102を介して、メモリモジュール103のメモリコントローラ側の接続端子125A（図4）に到達する。メモリモジュール103では、接続端子125Aに接続するメモリコントローラ側のモジュール内DQバス110Aから、メモリデバイス（A）104に、一方のDQピン112を介して、信号を入力する。

【0069】

メモリデバイス（A）104の一方のDQピン112から入力する信号は、パッケージ内DQバス114を伝播し、分岐配線（ビア）126を介して信号端子パッド115に分岐すると共に、他方のDQピン122から出力する。他方のD

Qピン112から出力する信号は、モジュール基板122を縦断するモジュール内DQバス110Cを介して、終端抵抗側のメモリデバイス(B)104に、一方のDPピン112を介して入力する。

【0070】

メモリデバイス(B)104の一方のDQピン112から入力する信号は、パッケージ内DQバス114を伝播し、分岐配線126を介して信号端子パッド115に分岐すると共に、他方のDQピン122から出力する。つまり、メモリデバイス(A)及び(B)104では、同じ信号が双方の信号端子パッド115に入力する。他方のDQピン112から出力する信号は、終端抵抗側のモジュール内DQバス110Bを介して、終端抵抗側の接続端子125Bに到達する。

【0071】

メモリシステム100では、前述のように、マザーボード107、モジュールソケット102、メモリモジュール103、及びメモリデバイス104の各構成要素における信号配線のインピーダンス、特にデータバスを構成する信号配線の配線インピーダンスは整合が取れており、また、データバスはメモリチップ120への分岐配線126を除いて分岐のない構造としているため、何れの場所についても、発生する信号反射の影響は無視できるほど小さい。メモリコントローラ101が出力する信号は、DQバス108、及び、いくつかのメモリモジュール103を介して、最終的にマザーボード107上の終端抵抗106に到達し、終端抵抗106で終端される(図2)。

【0072】

一方、データの読み出し動作時には、メモリデバイス104側から、メモリコントローラ101へ向けてデータ信号が出力される。メモリチップ120の図示しない出力回路から信号端子パッド115を介して出力されたデータ信号は、分岐配線126を介してパッケージ内DQバス114に到達する。メモリデバイス104からは、一方のDQピン112を介してメモリコントローラ101へ向けてデータ信号が出力されると共に、他方のDQピン122から終端抵抗106に向けてデータ信号が出力される。

【0073】

メモリコントローラに向けて出力されたデータ信号は、DQバス108やメモリモジュール103内の信号配線を経由してメモリコントローラ101に到達する。DQバス108やメモリモジュール103では、データバスのインピーダンスが整合しており、分岐配線126をデータ信号が往復するのに要する時間が、データ信号の立ち上がり時間に比して十分に短くなるように構成することで、データ信号は波形が大きく乱れることなく伝播し、図示しないメモリコントローラ側の終端抵抗で終端される。一方、終端抵抗106に向けて出力されたデータ信号は、上記した書き込み動作時と同様に、インピーダンス整合されたデータバスを反射なく伝播し、終端抵抗106で終端される。

【0074】

本実施形態例では、上記のように、1つのパッケージ内DQバス114に対応して2つのデバイス端子（DQピン112）を設ける。メモリデバイス104では、パッケージ内DQバス114は、2つのDQピン112間で、メモリチップ120上の信号端子パッド115に分岐配線126を介して接続される。このため、メモリデバイス104のパッケージ内DQバス114を、メモリコントローラ101から終端抵抗106に至るデータバスに対して分岐配線として構成せず、データバス中の一部として構成することができる。つまり、メモリシステム100では、一つの信号の信号配線が、インピーダンスの整合の取れた、一筋の配線構造とすることができる。このようなメモリシステム100では、データバスで発生する信号の反射が低く抑えられ、データ信号を品質よく伝播することができる、従来よりも高速動作が可能となる。

【0075】

また、データバス中の各配線は、電源面（VDD面、GND面）によりシールドされる。このため、信号配線からメモリチップ120に侵入するクロストークノイズを遮断できる。また、パッケージ基板121に、パッケージ内VDD面118電源、及び、パッケージ内GND面119を設け、モジュール内配線114がストリップ線路を構成し、パッケージ基板121に占める金属（銅）の割合が高くなっているため、熱の放散がスムーズに行なわれる。このため、メモリチップ120の温度上昇による性能の低下を抑えることができる。

【0076】

メモリシステム100では、データバスの一部がメモリデバイス104内にパッケージ内DQバス114として配線されるため、メモリデバイス104の直下のメモリモジュール103にはデータバス（モジュール内DQバス108）を配線する必要がなくなる。図2に示すように、メモリデバイス104は、端部にDQピン112が配置され、中央部にCAピン113が配置されるが、データバスの一部がメモリデバイス104を経由するため、その箇所でモジュール内配線108が途切れ、CAバス111とはモジュール基板122上で交差しない。

【0077】

従来のメモリシステム200では、DQバス112とCAバス113とが交差する場合には、DQバス112とCAバス113とを異なる配線層に配線する必要があった。本実施形態例では、データバスがパッケージ内DQバス114を経由するため、メモリモジュール103上を図1に示すように長辺方向（左右方向）に配線されるCAバス111との交差が容易になり、パッケージ基板122の配線層を増やす必要がなくなり、配線レイアウトの自由度が増す。このため、CAバス111に大きな配線占有面積を与えることができ、CAバス111で発生する信号タイミングエラーや、信号反射、クロストークノイズを低減することができる。

【0078】

図7は、本発明の第2実施形態例のメモリシステムで使用されるメモリデバイス104の詳細を示している。本実施形態例のメモリデバイス104は、メモリチップ120と、メモリチップ120よりもサイズが大きいパッケージ基板121を備える。パッケージ基板121は、DQピン112や電源ピン116、117などのデバイス端子に対向する面から、ビアを介して接点を取り出し可能に構成される。このため、図7に示すメモリデバイス104を、例えば2段重ねると、2段目のデバイス端子が、1段目のメモリデバイス104に形成される接点と接続し、簡易に積層構造を得ることができる。

【0079】

図8は、上記第2実施形態例のメモリシステムの構成を示している。本実施形

態例のメモリシステム 100 は、1つのメモリモジュール 103 内で終端されるデータバスを 2 系統有する点、及び、1つのメモリモジュール 103 が積層した複数のメモリデバイス 104 を搭載する点で、第 1 実施形態例と相違する。なお、同図では、モジュール内の電源面（VDD 面 123 及び GND 面 124）と、パッケージ内の電源面（VDD 面 118 及び GND 面 119）との接続については、省略して図示している。

【0080】

データバスは、0 系及び 1 系の 2 系統が配線される。データバスの各系は、それぞれ、一端をメモリコントローラ 101 内に設けられたオンチップターミネーション（オンチップ終端抵抗）106A によって終端され、他端をメモリモジュール 103 上に設けられた終端抵抗 106 で終端される。データバスを構成する各 DQ バス 108 は、メモリシステム 100 の各要素に電源を供給する電源面（VDD 又は GND）135、136 が配線される層に挟まれて配線される。

【0081】

図 9 は、図 8 のメモリモジュール 103 の詳細を示している。メモリモジュール 103 の片側には 2 つのメモリデバイス 104 が積層され、1つのメモリモジュール 103 は、計 4 つのメモリデバイス 104 を有する。モジュール内 DQ バス 110A、110B は、その一部が、モジュール内 VDD 面 123 及び GND 面 124 の中間の配線層に配線される。各メモリデバイス 104 では、パッケージ内 DQ バス 114 と、信号端子パッド 115 とが分岐配線（ビア）126 を介して接続される。接続端子 125 から終端抵抗 106 に至るデータバスは、以下のように、一筋の配線として構成される。

【0082】

接続端子 125 は、メモリコントローラ側のモジュール内 DQ バス 110A を介してメモリデバイス（B）104 の第 1 の DQ ピン（B1）112 に接続される。DQ ピン（B1）112 は、モジュール内 DQ バス（B）114 に接続されることなく、ビアを介してメモリデバイス（A）104 の第 1 の DQ ピン（A1）112 に接続される。DQ ピン（A1）112 は、ビアを介してモジュール内 DQ バス（A）114 の一端に接続される。

【0083】

メモリデバイス (A) 104 の第2のDQピン (A2) 112は、ビアを介して、モジュール内DQバス (A) 112の他端に接続されると共に、モジュール内DQバス (B) 112の一端に接続される。モジュール内DQバス (B) 114の他端は、ビアを介してメモリデバイス (B) 104の第2のDQピン (B2) 112に接続される。DQピン (B2) 112は、ビアで構成されるモジュール基板122を縦断するDQバス110Cを介して、メモリデバイス (C) 104の第1のDQピン (C1) 112に接続される。

【0084】

メモリデバイス (C) 及び (D) 104では、メモリデバイス (B) 104の第1のDQピン (B1) 112から第2のDQピン (B2) 112までの逆順と同様な接続によって、メモリデバイス (C) 104の第1のDQピン (C1) 112と、第2のDQピン (C2) 112とが接続される。DQピン (C2) は、終端抵抗側のモジュール内DQバス110Bに接続され、モジュール内DQバス110Bは、モジュール上に搭載された終端抵抗106によって終端される。

【0085】

図8に示すメモリシステム100において、例えば、0系へのデータの書き込み時には、メモリコントローラ101から出力する信号は、マザーボード107上のDQバス108を伝播し、モジュールソケット102を介して、メモリモジュール103の接続端子125 (図9) に到達する。

【0086】

メモリモジュール103に到達した信号は、データバスを構成するDQバス110、114やビアを介し、DQピン112を (B1→A1→A2→B2→C1→D1→D2→C2) と順次に伝播して、終端抵抗106で終端される。メモリコントローラ101から出力された信号は、信号端子パッド115に接続するための分岐配線126以外の箇所では分岐せずに、終端抵抗106に到達し、メモリモジュール103上で終端される。また、信号が、モジュールソケット102を通過する回数は1回となっている。

【0087】

本実施形態例では、第1実施形態例と同様に、メモリコントローラ101から終端抵抗106に至るデータバスが、分岐のない一筋の配線として構成されるため、データ信号の反射が低く抑えられ、品質よく信号伝達ができる。また、1つのメモリモジュール103に複数のメモリデバイス104を積層することで、両々の大きなメモリを少ない面積で実現できる。

【0088】

本実施形態例では、1つの系統のデータバスについて、一度しかモジュールソケット102を通過しない構成を採用する。モジュールソケット102では、容量を付加するなどして、インピーダンス整合を図ることはある程度可能になる。しかし、モジュールソケット102のコネクタ部では、データバスに対して必ずしも適切な位置に電源線（VDD線又はGND線）を配置することが容易ではことが多い。電源線を適切に配置できない場合には、理想的なデータバスを構成することが困難となり、信号伝達特性が劣化する。1つの系統のデータバスが、モジュールソケット102を通過する回数を減らすことで、信号伝達特性が向上する。

【0089】

図10は、本発明の第3実施形態例のメモリシステムで使用されるメモリデバイスの詳細を示している。第1及び第2実施形態例では、メモリチップ120の信号端子パッド115が入出力パッドとして構成されたが、本実施形態例では、信号端子パッド115が、信号を入力する信号端子パッド115Aと、信号を出力する信号端子パッド115Bとに分離される。

【0090】

図3に示すメモリデバイス104では、一方のDQピン112から他方のDQピン112に至るデータバスが、信号端子パッド115に接続する分岐配線126が配線される箇所で、分岐を有する構造を採用したが、本実施形態例では、これに代えて、一方のDQピン112から他方のDQピン112までのデータバスが、分岐を有しない構造を採用する。具体的には、図10に示すように、信号入力端子パッド115Aと信号出力端子パッド115Bとがチップ内DQバス127で接続され、パッケージ内DQバス114は、一方のDQピン112と信号

入力端子パッド115Aとを接続するパッケージ内DQバス114Aと、他方のDQピン112と信号出力端子パッド115Bとを接続するパッケージ内DQバス115Bとに分割される。

【0091】

図11は、図10に示すメモリデバイス104を、メモリチップ120の入出力部分の等価回路と共に示している。メモリチップ120は、入出力部分に、入力ドライバ128、出力ドライバ129、入力保護抵抗130、及び、静電保護容量131を備える。

【0092】

入力ドライバ128は、信号入力端子パッド115Aから入力保護抵抗130を介して入力された信号を、電圧値を変換するなどしてメモリチップ120の内部回路に出力する。出力ドライバ129は、信号出力端子パッド115Bから、所定の電圧値で信号を出力する。出力ドライバ129の出力用MOSトランジスタは、静電保護素子としても機能し、MOSトランジスタの寄生容量（静電保護容量）131は、静電気破壊現象から、メモリチップ120の内部回路を保護する。

【0093】

信号入力端子パッド115Aに信号を入力する場合には、一方のDQピン112から入力する信号は、モジュール内DQバス114A及びビアを介して、或いは、モジュール内DQバス114B、信号出力パッド115B、チップ内DQバス127、及び、ビアを介して信号入力端子パッド115Aに到達する。信号入力端子パッド115Aに到達した信号は、チップ内DQバス127、信号出力パッド115B、モジュール内DQバス114B、及び、ビアを介して、或いは、モジュール内DQバス114A及びビアを介して他方のDQピン112に到達し、メモリデバイス104の外部に出力する。このとき、一方のDQピン112から他方のDQピン112までのパッケージ基板121内の信号経路では、分岐箇所がない。

【0094】

また、メモリチップ120が信号を出力する場合には、信号出力端子パッド1

1 Bから出力する信号は、チップ内DQバス127、信号入力端子パッド115 A、モジュール内DQバス114 A、ビア、及び、一方のDQピン112を介してメモリデバイス104の外部に出力すると共に、モジュール内DQバス114 B、ビア、及び、他方のDQピン112を介してメモリデバイス104の外部に出力する。

【0095】

本実施形態例では、メモリチップ120の信号を入力する信号端子パッド115 Aと、信号を出力する信号端子パッド115 Bとが異なるパッドとして構成される。この場合、パッケージ基板121では、メモリデバイス104の一方のDQピン112から他方のDQピン112までを、分岐のない一筋の配線で構成することができ、信号伝達特性が更に向上する。

【0096】

なお、上記実施形態例では、メモリデバイス104は、メモリチップ120に、配線層を有するパッケージ基板121を貼り付ける構造を採用したが、パッケージ基板121に代えて、層構造を持つテープ素材などを用いることもできる。また、パッケージ基板121内の各配線のインピーダンスは、配線の厚さや、配線幅、配線間隔、配線層又は絶縁層の物質等、配線の構造等により調整を行なうことができるが、メモリチップ120上の信号端子パッド115の近傍に容量素子を付加するなどして調節することも可能である。

【0097】

図12は、メモリデバイス104の別の例の詳細を示している。上記実施形態例では、パッケージ内DQバス114がパッケージ内VDD面118とGND面119とにはさまれて配線されたが、図12のメモリデバイス104は、メモリチップ側の配線層にパッケージ内VDD面118又はGND面119を配線し、その下層の配線層にパッケージ内DQバス114を配線する。また、第3実施形態例では、入力ドライバが信号入力端子パッド115 Aに直接に接続され、出力ドライバが信号出力端子パッド115 Bに直接に接続される例を示したが、入力ドライバや出力ドライバは、チップ内配線で接続された2つの信号端子パッド間に配置されていてもよい。

【0098】

図23はメモリシステムにおける入出力信号バスの例である。(a)はSSTバス、(b)は1対1接続バスの例である。

【0099】

図5は、図23(a)に示す従来のメモリモジュール2302に用いられるメモリモジュール103の配線レイアウトを示している。図6はメモリモジュール2302と同様に用いるメモリモジュール103の配線レイアウトを示している。図5に示すように、従来のメモリモジュール203では、モジュール基板上のコネクタ位置関係の制約や、モジュール基板上に配置されたCAレジスタ133やPLL回路134等のブロックが存在することより、配線の引き回しが複雑になって、モジュール内DQバス208の配線長を均一化することが困難な場合があった。

【0100】

本実施形態例では、一つの信号に対して2つのデバイス端子があるため、図6に示すように、2つのDQピン112のうち、何れか一方のDQピン112を利用することにより、適正な配線レイアウトを容易に作ることができ、また配線長の均一化を容易にすることができる。また図23(b)に示すメモリモジュール2303に対しても、同様に図22に示すメモリモジュールの配線レイアウトのようにすれば、適正な配線レイアウトを容易に作ることができ、また配線長の均一化を容易にすることができる上、メモリデバイス104の一方のDQピン112から他方のDQピン112までを、分岐のない一筋の配線で構成することができ、良好な信号伝達特性が得られる。

【0101】

図15は本発明の第3の視点によるメモリパッケージの例である。メモリパッケージの左右両側に1つずつ入出力信号端子1505～1508があり、チップ1509上の入出力信号用チップパッドから左右どちらかの入出力信号端子に配線されている。例えば(a)のパッケージ1501では入出力信号用チップパッド1503は左側の入出力端子1508へ、また(b)のパッケージ1502では入出力信号用チップパッド1503は右側の入出力端子1508へ配線されて

いる。

【0102】

図16は本発明の第3の視点によるメモリパッケージを用いたメモリモジュールの例である。図16に示すように配線できない領域1603の左側からメモリへの配線する場合は左の端子が有効なパッケージ1501を使い、逆に配線できない領域1603の右側からメモリへ配線する場合は右の端子が有効なパッケージ1502を使っている。このように2種類のパッケージ1501、1502のうち、何れか一方のパッケージを用いることにより、適正な配線レイアウトを容易に作ることができ、また配線長を短く均一化することが容易にできる。

【0103】

図17は図16のメモリモジュールに用いられるメモリパッケージの別の実施例である。このメモリパッケージはメモリパッケージの左右両側に1つずつ入出力信号端子が有し、入出力信号用チップパッドの左右両側の近傍にパッドを有する。そして該入出力信号端子と入出力信号用チップパッドの近傍のパッドの間が配線され、左右何れかのチップパッドの近傍のパッドと入出力信号用チップパッドの間がワイヤボンディングで接続されている。例えば入出力信号端子1508とチップパッド左側近傍のパッド1703の間が配線されており、パッド1703と入出力信号用チップパッド1503の間はボンディングワイヤ1702で接続されることでパッケージの左側に有効な入出力信号端子を有する図15(a)と同様のメモリパッケージを構成できる。

【0104】

図18は図16のメモリモジュールに用いられるメモリパッケージの別の実施形態例である。これは図17のメモリパッケージのワイヤボンディングの代わりにジャンパチップを使ったものである。本パッケージはパッケージ基板1804の裏面に端子とチップを有し、表面に配線及びジャンパパッドペア、ジャンパチップを有している。図17のメモリパッケージと同様にパッケージ左右両側に端子を有し、左右両側の端子から入出力信号用チップパッドに配線されているが、配線は途中のジャンパチップ用パッドペア1803で分断されている。そして例えば左側のジャンパチップ用パッドペアをジャンパチップ1802で接続するこ

とにより、パッケージの左側に有効な入出力信号端子を有するパッケージを構成できる。なお上記と逆にパッケージ表面にチップ、裏面に配線及びジャンパパッドペア、ジャンパチップを配置しても構わない。

【0105】

図19は図16のメモリモジュールに用いられるメモリパッケージの別の実施形態例である。このメモリパッケージは図17のメモリパッケージと同様にパッケージ左右両側に端子を有し、左右両側の入出力信号端子から入出力信号用チップパッドに配線されている。そして右側の入出力信号端子からの配線は入出力信号用チップパッド近傍1902で切断されている。これにより、パッケージの左側に有効な入出力信号端子を有するパッケージを構成できる。

【0106】

以上、パッケージの左側に有効な入出力信号端子を有するメモリパッケージについて述べたが、パッケージの右側に有効な入出力信号端子を有するメモリパッケージも同様に実現可能であることは言うまでもない。またパッケージ内に電源GND層を設け、配線を伝送線として形成しても良い。

【0107】

図20は図16のメモリモジュールに用いられる第4の視点によるメモリパッケージの実施例（断面図）である。このメモリパッケージ2000は（a）に示すように主にパッケージ基板1804とメモリチップ1503、入出力信号端子2001及び2002からなり、前記パッケージ基板1804の裏面にチップを有し、前記パッケージ基板1804の左右表裏に入出力端子を有している。このうちパッケージ左側の表裏面に対向して配置されている入出力端子2001及び2002はビアホール2003を介して接続されている。

【0108】

またメモリチップ1509の入出力信号用パッド1503から入出力端子2001及び2002にパッケージ内配線1504を用いて接続されている。なおパッケージ内に電源GND層を設け、パッケージ内配線を伝送線として形成しても良い。このように本メモリパッケージの左右いずれかの側に表裏両面に共通の入出力端子を有するので、（b）に示すようにパッケージ2000はメモリモジュ

ール 1601 に実装する際、表向きに実装した場合はパッケージの左側に有効な入出力信号端子を有するパッケージとして使用でき、裏向きに実装した場合はパッケージの右側に有効な入出力信号端子を有するパッケージとして使用できる。なお、本メモリパッケージは図 21 (a) に示すようにパッケージ基板 1804 の両面にメモリチップ 1509 を実装してもよい。また図 21 (b) に示すようにパッケージの入出力信号端子に用いられているボール 2101 を介して積層構造にしても良い。

【0109】

図 24 は 1 対 1 接続バスと一筆書き接続バスを併用しているメモリシステムの例である。メモリ装置 2401 はメモリコントローラ 2405 の左右両側に複数のメモリ 2403 を持ち、前記メモリコントローラ 2405 と複数のメモリ 2403 を結ぶ 1 対 1 接続バス 2406 及び一筆書き接続バス 2407 を有している。ここで 1 対 1 接続バスはデータ信号バスやデータストロブ信号に、一筆書き接続バスはコマンド・アドレス信号やクロック信号に使用する事ができる。または 1 対 1 接続バスはクロック信号に、一筆書き接続バスはデータ・コマンド・アドレス信号に使用する事もできる。

【0110】

図 25 は図 24 記載のメモリ装置に用いる積層メモリ 2501 の実施例である。(a) はメモリ 2501 の平面図である。(b) は本メモリの配線領域 2504 の断面図である。(c) は本発明の配線領域 2503 の断面図である。本メモリは本発明の第 1 及び第 4 の視点の両方を取り入れた半導体ユニットである。本メモリは図 21 (a) 記載のメモリにおいて、配線領域 2503 で本発明の第 1 の視点による半導体ユニットと同じくしたものであり、チップパッド 1503 は半導体ユニットの左右両側の端子 2505 に配線されている。また配線領域 2504 は本発明の第 4 の視点による半導体ユニットと同じくしたものであり、チップパッド 1503 は半導体ユニットの片側 (左) の端子 2506 に配線されている。端子 2505 は図 25 記載のメモリ装置の一筆書き接続バス 2407 用端子に用いればよい。端子 2506 は 1 対 1 接続バス 2406 用端子に用いればよい。

【0111】

図26は図25のメモリを図24記載のメモリに適用した例である。図26(a)は1対1接続バス2406に関する断面図である。図の様に1対1接続バス2406は基板内層に形成されている。そしてメモリコントローラ2405の右側に置かれたメモリ2501の1対1接続バス用信号端子2506がメモリのメモリコントローラに近い側(左側)にあるので、メモリのチップパッドまで短い距離で配線できる。またメモリコントローラ2405の左側に置かれたメモリ2501は裏返して実装されている。これによりメモリ2501の1対1接続バス用信号端子2506がメモリコントローラ2405に近い側(右側)になり、メモリのチップパッドまで短い距離で配線できる。

【0112】

(b)は一筆書き接続バス2407に関する断面図である。一筆書き接続バス2407は基板表層に形成され、メモリ2501の左右両側にある一筆書き接続バス用端子に接続されており、メモリ内の配線を介してメモリコントローラ2405から終端抵抗2404まで一筋の配線を構成している。以上の説明でメモリ2501は図21(a)記載のメモリを改造したものであったが、図27のように図21(b)記載のメモリを同様に改造したものでも構わない。また配線は伝送線で構成されているが、図においてグランドプレーンや電源プレーンの記載は省略されている。なお、メモリシステム2401はメモリモジュールとして構成可能であることは言うまでもない。

【0113】

図28は本発明における半導体デバイスの別の実施例である。これは図25に示した半導体デバイスを半田ボールを介して積層したもので4個の半導体チップを実装するものである。(a)は下層のデバイスに接続される1対1接続バスの配線を示す半導体デバイスの断面図である。本デバイスは下層のプリント基板2801及び上層のプリント基板2802から構成されている。下層のプリント基板2801の表面に半導体チップ2804、裏面に半導体チップ2803及びデバイス端子2809を有しており、半田ボール2811とデバイス端子2809はビアホール2810で電氣的に接続されている。また上層のプリント基板28

02の表面に半導体チップ2806及びデバイス端子2813、裏面に半導体チップ2805を有しており、デバイス端子2813と半田ボール2811はビアホール2812で電氣的に接続されている。下層のプリント基板2801においては配線2812がビアホール2810と半導体チップ2803のチップパッド2807並びに半導体チップ2804のチップパッド2808に接続されている。ここで半導体チップ2803のチップパッド2807と半導体チップ2804のチップパッド2808はビアボールで接続され、このビアホールと配線2812が接続されている事が望ましい。

【0114】

(b)は上層のデバイスに接続される1対1接続バスの配線を示す断面図である。下層のプリント基板2801の裏面にデバイス端子2821を有しており、半田ボール2823とデバイス端子2821はビアホール2822で電氣的に接続されている。また上層のプリント基板2802の表面にデバイス端子2825を有しており、デバイス端子2825と半田ボール2823はビアホール2824で電氣的に接続されている。上層のプリント基板2802においては配線2826がビアホール2824と半導体チップ2805のチップパッド2827並びに半導体チップ2806のチップパッド2828に接続されている。ここで半導体チップ2805のチップパッド2827と半導体チップ2806のチップパッド2828はビアボールで接続され、このビアホールと配線2826が接続されている事が望ましい。

【0115】

(c)は上層及び下層のデバイスに並列的に一筆書き接続される配線を示す半導体デバイスの断面図である。下層のデバイスの裏面にはデバイス端子2831及び2842が、表面には半田ボール2833及び2844があり、半田ボール2833とデバイス端子2831はビアホール2832で、また半田ボール2844とデバイス端子2842はビアホール2843で電氣的に接続されている。そして下層のプリント基板2801の配線2838はビアホール2832、半導体チップ2803のチップパッド2836及び半導体チップ2804のチップパッド2837、ビアホール2843を一筆書き接続している。ここでチップパッド

ド 2836、2837 は下層のプリント基板 2801 のビアホールで接続されている事が望ましい。上層のデバイスの表面にはデバイス端子 2835 及び 2846 が、裏面には半田ボール 2833 及び 2844 があり、半田ボール 2833 とデバイス端子 2835 はビアホール 2834 で、また半田ボール 2844 とデバイス端子 2846 はビアホール 2844 で電氣的に接続されている。

【0116】

そして、上層のプリント基板 2802 の配線 2839 はビアホール 2834、半導体チップ 2805 のチップパッド 2840 及び半導体チップ 2806 のチップパッド 2841、ビアホール 2845 を一筆書き接続している。ここでチップパッド 2840、2841 は下層のプリント基板 2802 のビアホールで接続されている事が望ましい。また応力的・熱的観点から半導体チップ 2804 と 2805 の間には緩衝材を挟む事が望ましい。また本積層デバイスをメモリモジュール上に実装した際、上層デバイスの剥き出しになっているデバイス端子 2813、2835、2846 に絶縁体を被せて外部との短絡から保護するか、もしくは除去する事が望ましい。さらに半導体デバイス配線の実効的特性インピーダンスとデバイス端子に接続される配線の実効的特性インピーダンスとの整合のために、配線 2838 及び 2839 の長さ l 、単位長さ当たりのインダクタンス L_0 、単位長さ当たりのキャパシタンス C_0 、半導体チップのチップパッドにおける負荷容量 C_{in} 、デバイス端子に接続される配線の実効的特性インピーダンス Z_{MB} の間に数 1 式の関係が成り立っている事が望ましい。

【0117】

【数 1】

$$2 \cdot Z_{MB} = \sqrt{\frac{L_0}{C_0 + C_{in} / l}}$$

以上、本発明をその好適な実施形態例に基づいて説明したが、本発明の半導体ユニット、半導体モジュール、及び、メモリシステムは、上記実施形態例にのみ限定されるものでなく、上記実施形態例の構成から種々の修正及び変更を施した半導体ユニット、半導体モジュール、及び、メモリシステムも、本発明の範囲に

含まれる。例えば、データバス（DQバス）以外の配線についても、1つの配線についてデバイス端子を2つ設けて、データバスと同様に分岐のない一筋の配線として構成することができる。

【0 1 1 8】

【発明の効果】

以上説明したように、本発明の半導体ユニット、及び、半導体モジュール、並びに、このような半導体ユニットや半導体モジュールを備えるメモリシステムでは、半導体ユニットは1つの信号配線に対して2つの外部端子を備える。例えば、この半導体ユニット及び半導体モジュールを使用したメモリシステムでは、信号配線が一筋の配線として構成され、半導体ユニット内で発生する信号反射を低く抑えることができ、高速動作が可能となる。また、信号配線が電源配線層よりシールドされる構成を採用すると、半導体チップに侵入するノイズが減少してクロストークの影響が低くなり、また、パッケージ基板に占める金属の割合が高くなるため、熱の放散がスムーズに行なわれて、半導体チップの温度上昇による性能の低下を抑えることができる。

【0 1 1 9】

また、SSTLバスのようにメモリモジュールコネクタで信号配線の分岐を持つメモリシステムにおいても、半導体モジュールにおいて配線長が短くなるように、半導体ユニットの前記2つの外部端子のうち一方の外部端子を配線先として選択できるので、半導体モジュール内で発生する信号反射を低く抑えることができ、高速動作が可能となる。

【図面の簡単な説明】

【図 1】

本発明の一実施形態例のメモリシステムの構成を示す斜視図である。

【図 2】

図1のメモリシステム100のDQバス108方向に沿った断面図である。

【図 3】

メモリデバイス104の詳細をメモリチップ120の入出力部分の等価回路と共に示した断面図である。

【図 4】

図 1 及び図 2 に示すメモリモジュール 1 0 3 の詳細を示す断面図である。

【図 5】

従来のメモリモジュール 2 0 3 の配線レイアウトを示す平面図である。

【図 6】

図 1 に示すメモリモジュール 1 0 3 の配線レイアウトを示す平面図である。

【図 7】

本発明の第 2 実施形態例のメモリシステムで使用されるメモリデバイス 1 0 4 の詳細を示す断面図である。

【図 8】

本発明の第 2 実施形態例のメモリシステムの構成を示す断面図である。

【図 9】

図 8 のメモリモジュール 1 0 3 の詳細を示す断面図である。

【図 1 0】

本発明の第 3 実施形態例のメモリシステムで使用されるメモリデバイスの詳細を示す断面図である。

【図 1 1】

図 1 0 に示すメモリデバイス 1 0 4 を、メモリチップ 1 2 0 の入出力部分の等価回路と共に示す断面図である。

【図 1 2】

メモリシステム 1 0 0 におけるメモリデバイス 1 0 4 の別の例の詳細を示す断面図である。

【図 1 3】

従来のメモリシステムにおける信号配線経路を示す断面図である。

【図 1 4】

図 1 3 のメモリデバイス 2 0 4 の詳細を示す断面図である。

【図 1 5】

本発明の第 3 の視点の半導体ユニットの第 1 実施形態例のメモリパッケージの構成を示す平面図である。

【図 1 6】

本発明の第 3 の視点の半導体モジュールの構成を示す平面図である。

【図 1 7】

本発明の第 3 の視点の半導体ユニットの第 2 実施形態例のメモリパッケージの構成を示す平面図である。

【図 1 8】

本発明の第 3 の視点の半導体ユニットの第 3 実施形態例のメモリパッケージの構成を示す平面図である。

【図 1 9】

本発明の第 3 の視点の半導体ユニットの第 4 実施形態例のメモリパッケージの構成を示す平面図である。

【図 2 0】

本発明の第 4 の視点の半導体ユニットの第 1 実施形態例のメモリパッケージの構成を示す断面図である。

【図 2 1】

本発明の第 4 の視点の半導体ユニットの第 2 実施形態例のメモリパッケージの構成を示す断面図である。

【図 2 2】

本発明の第 1 及び第 2 の視点の半導体ユニットを 1 対 1 接続バスに用いられるメモリモジュールに用いた場合の実施例を示す図である。

【図 2 3】

従来の別のメモリシステムにおける信号配線経路を示す断面図である。

【図 2 4】

1 対 1 接続バスと一筆書き接続バスを併用したメモリシステムの構成を示すブロック図である。

【図 2 5】

本発明の第 1 及び第 4 の視点を兼ね備えた積層メモリの第 1 の実施例の平面図及び断面図である。

【図 2 6】

本発明の第 1 及び第 4 の視点を兼ね備えたメモリの第 1 の実施例を用いた 1 対 1 接続バスと一筆書き接続バスを併用したメモリ装置の断面図である。

【図 2 7】

本発明の第 1 及び第 4 の視点を兼ね備えた積層メモリの第 2 の実施例の断面図である。

【図 2 8】

本発明の第 1 及び第 4 の視点を兼ね備えた 4 つのデバイスを搭載した積層メモリの実施例の断面図である。

【符号の説明】

1 0 0, 2 0 0 : メモリシステム
1 0 1, 2 0 1 : メモリコントローラ
1 0 2, 2 0 2 : モジュールソケット
1 0 3, 2 0 3 : メモリモジュール
1 0 4, 2 0 4 : メモリデバイス
1 0 5 : レジスタ
1 0 6, 2 0 5 : 終端抵抗
1 0 7, 2 0 6 : マザーボード
1 0 8 : D Q バス
1 0 9 : C A バス
1 1 0 : モジュール内 D Q バス
1 1 1 : モジュール内 C A バス
1 1 2, 2 0 9 : D Q ピン (デバイス端子)
1 1 3 : C A ピン
1 1 4 : パッケージ内 D Q バス
1 1 5, 2 1 2 : 信号端子パッド
1 1 6, 1 1 7 : 電源ピン (V D D ピン、G N D ピン)
1 1 8, 1 1 9 : パッケージ内電源面 (V D D 面、G N D 面)
1 2 0, 2 1 0 : メモリチップ
1 2 1, 2 1 1 : パッケージ基板

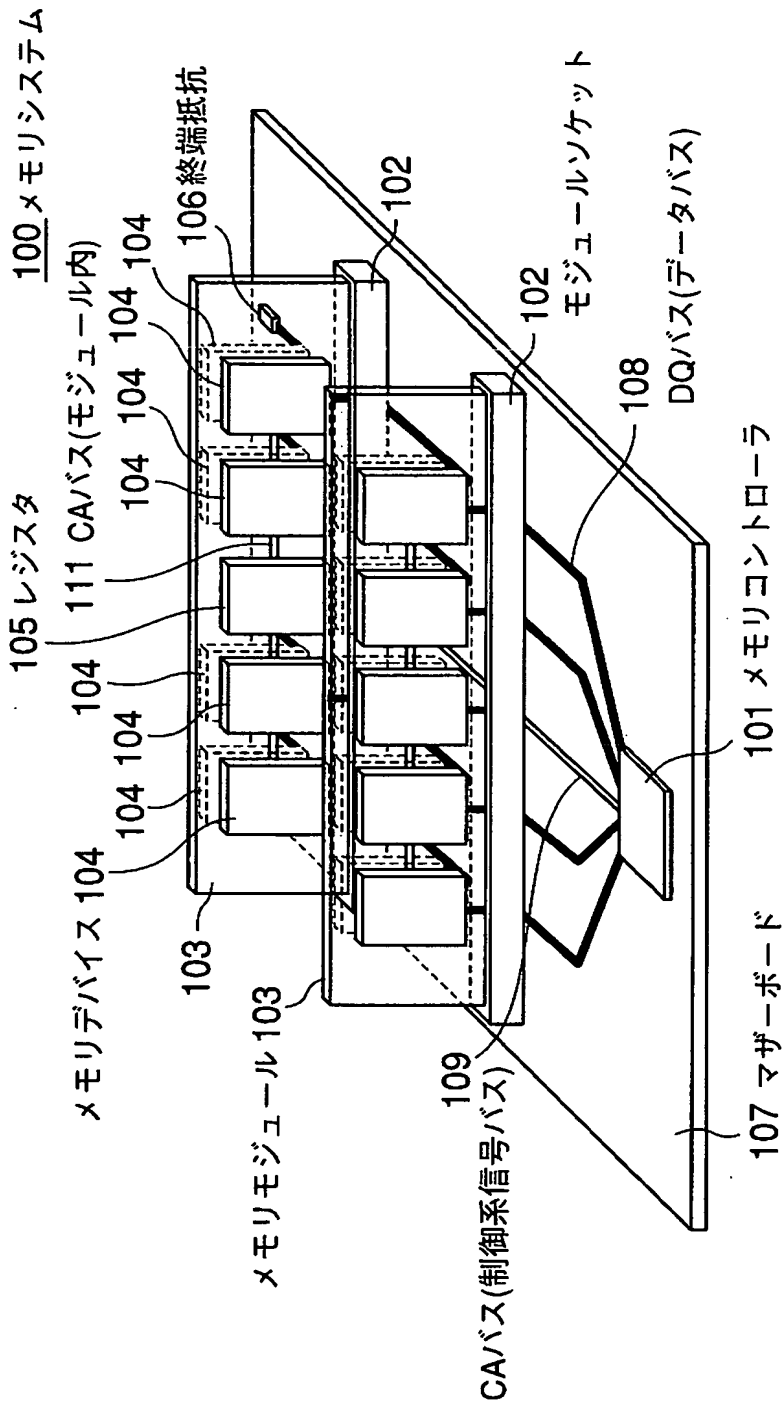
1 2 2 : モジュール基板
1 2 3 , 1 2 4 : モジュール内電源面 (VDD面、GND面)
1 2 5 : 接続端子
1 2 6 : 分岐配線
1 2 7 : チップ内DQバス
1 2 8 : 入力ドライバ
1 2 9 : 出力ドライバ
1 5 0 1 : 半導体ユニット左用
1 5 0 2 : 半導体ユニット右用
1 5 0 3 : チップパッド
1 5 0 4 : パッケージ内配線
1 5 0 5 , 1 5 0 6 , 1 5 0 7 , 1 5 0 8 : 入出力信号端子
1 5 0 9 : チップ
1 6 0 1 : メモリモジュール
1 6 0 2 : スタブ抵抗
1 6 0 3 : メモリへの配線禁止領域
1 6 0 4 : メモリモジュール端子
1 6 0 5 : メモリへの配線
1 7 0 1 : パッケージ左用
1 7 0 2 : ボンディングワイヤ
1 7 0 3 : ボンディングパッド
1 8 0 1 : パッケージ左用
1 8 0 2 : ジャンパチップ
1 8 0 3 : ジャンパチップ用パッド
1 8 0 4 : パッケージ基板
1 9 0 1 : パッケージ左用
1 9 0 2 : 切断された配線
2 0 0 0 : 左右兼用パッケージ
2 0 0 1 , 2 0 0 2 : 入出力信号端子

2 0 0 3 : ビアホール (スルーホール)
2 1 0 1 : 半田ボール
2 1 0 2 : 追加されたメモリ
2 2 0 1 : 終端抵抗
2 2 0 2 : 終端電位プレーンへのビアホール
2 3 0 1 : スタブ抵抗
2 3 0 2 : メモリモジュール
2 3 0 3 : 1 対 1 接続メモリモジュール
2 4 0 1 : メモリ装置
2 4 0 3 : メモリ
2 4 0 4 : 終端抵抗 (網)
2 4 0 5 : メモリコントローラ
2 4 0 6 : 1 対 1 接続バス
2 4 0 7 : 一筆書き接続バス
2 4 0 8 : メモリ装置入出力信号バス
2 5 0 1 : 積層メモリ
2 5 0 3 : 一筆書き接続信号用配線
2 5 0 4 : 1 対 1 接続信号用配線
2 5 0 5 : 一筆書き接続信号端子
2 5 0 6 : 1 対 1 接続信号端子
2 6 0 1 : 終端電位プレーン
2 8 0 1, 2 8 0 2 : プリント基板
2 8 0 3, 2 8 0 4, 2 8 0 5, 2 8 0 6 : 半導体チップ
2 8 0 7, 2 8 0 8 : チップパッド
2 8 0 9, 2 8 1 3, 2 8 2 1, 2 8 2 5, 2 8 3 1, 2 8 3 5、2 8 4 2, 2
8 4 6 : デバイス端子
2 8 1 0, 2 8 1 2, 2 8 2 2, 2 8 2 4, 2 8 3 2, 2 8 3 4, 2 8 3 6, 2
8 3 7, 2 8 4 0, 2 8 4 1, 2 8 4 3, 2 8 4 5 : ビアホール
2 8 1 1, 2 8 2 3, 2 8 3 3、2 8 4 4 : 半田ボール

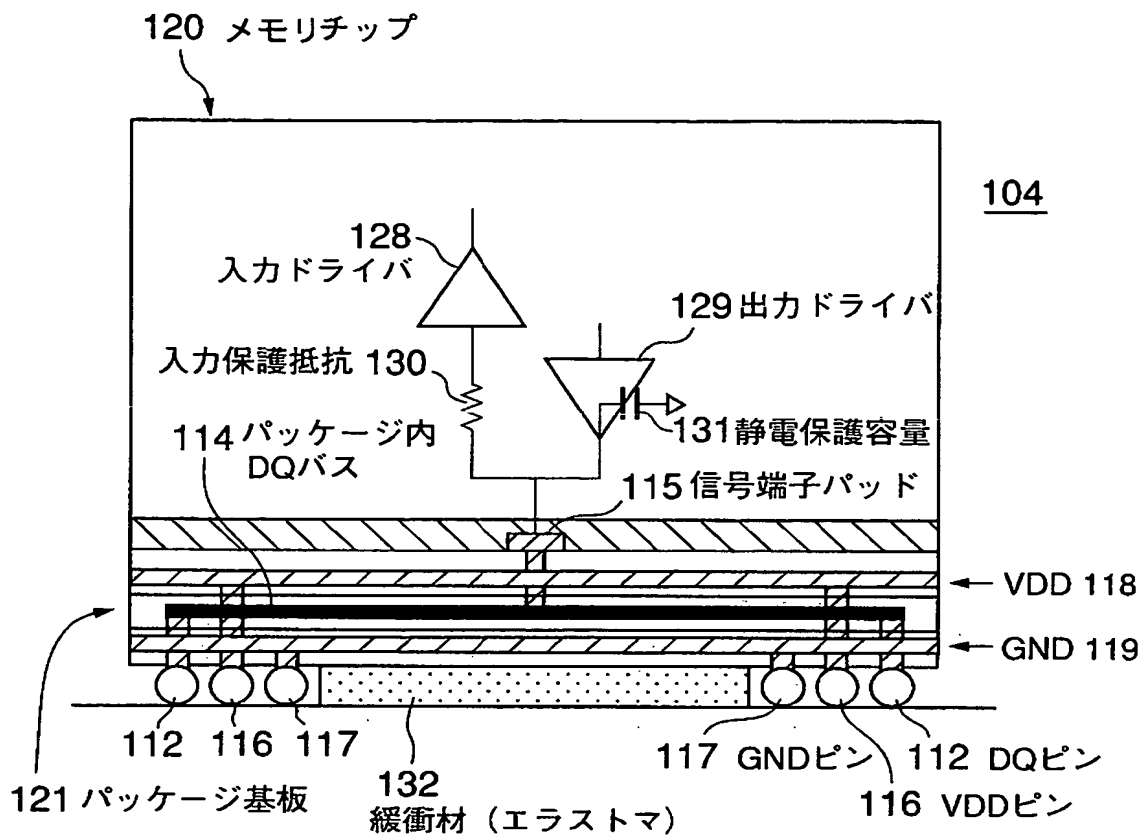
2 8 2 6 , 2 8 3 8 , 2 8 3 9 : パッケージ内配線

【書類名】 図面

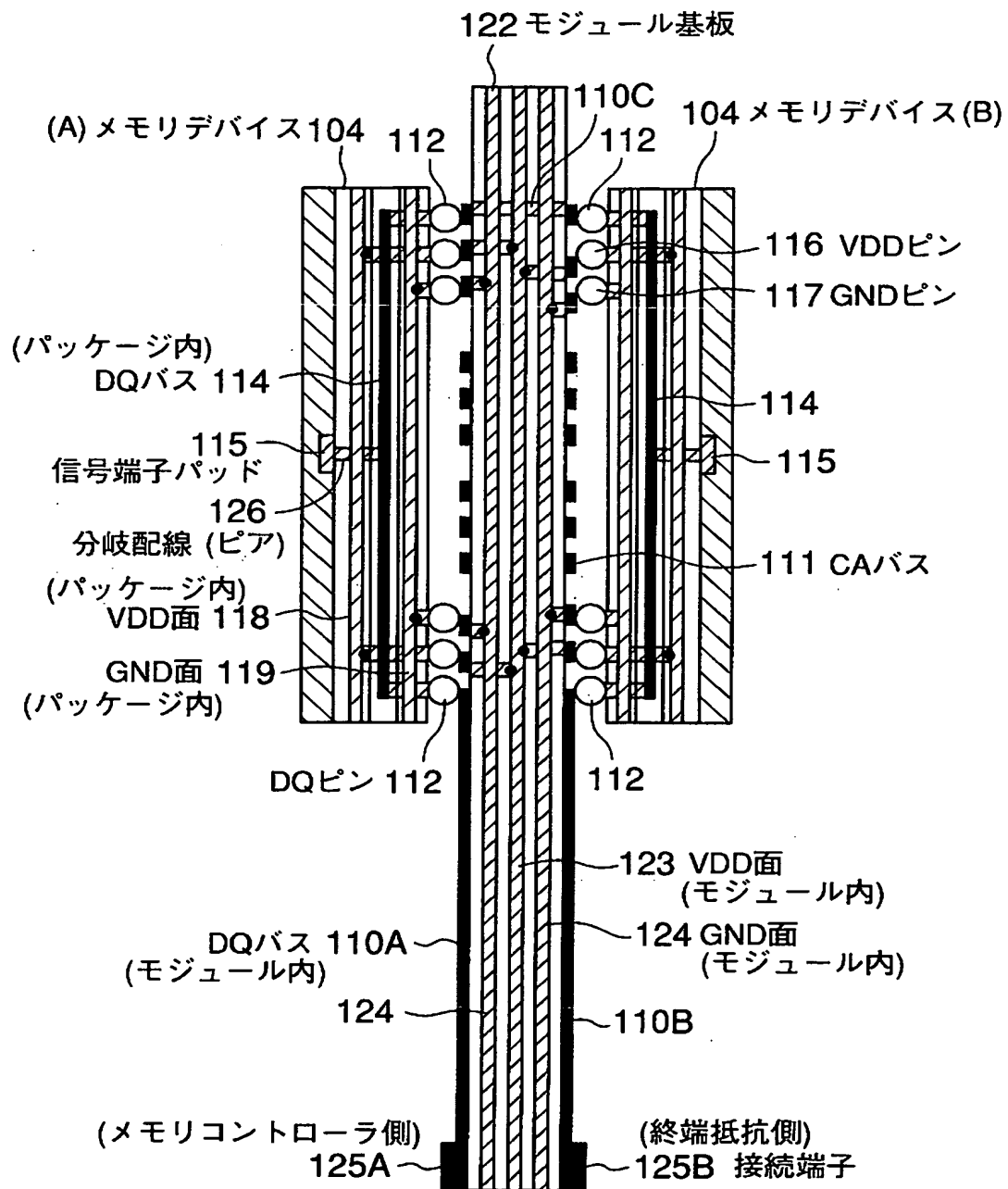
【図 1】



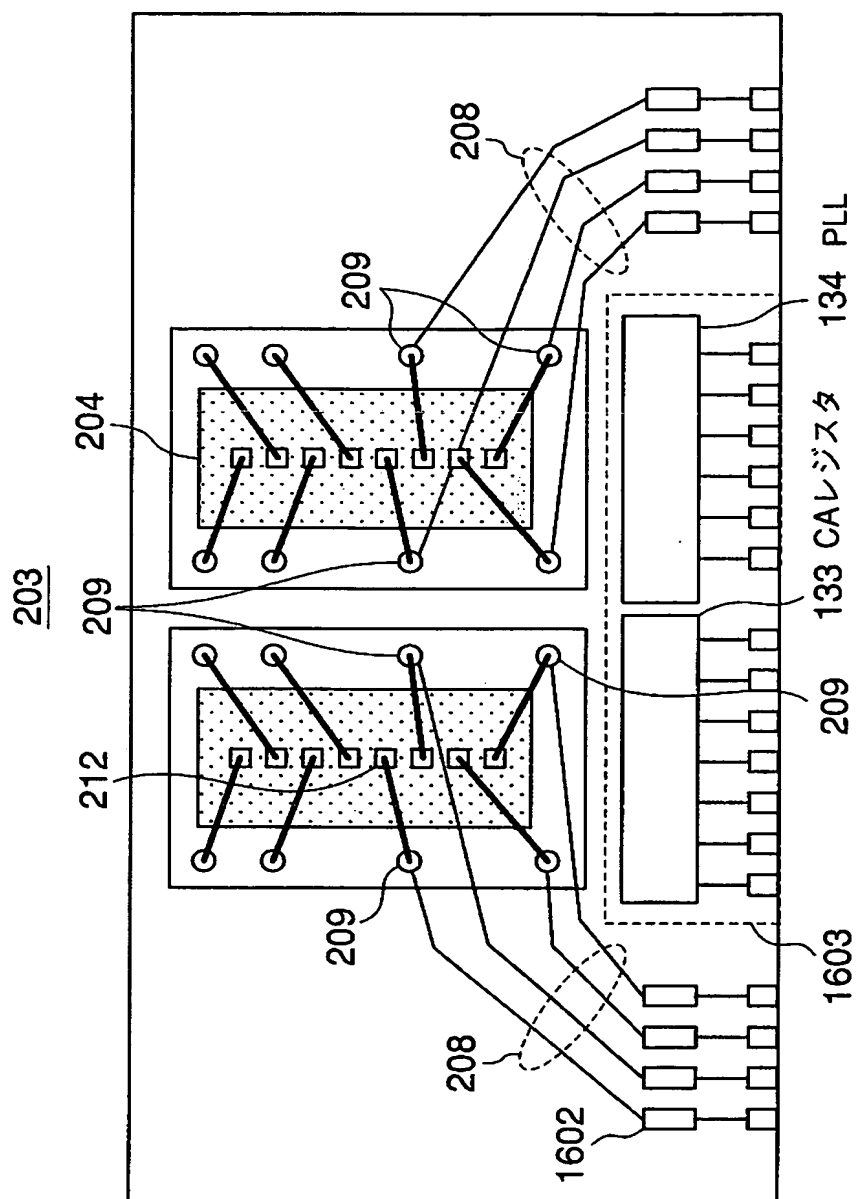
【図 3】



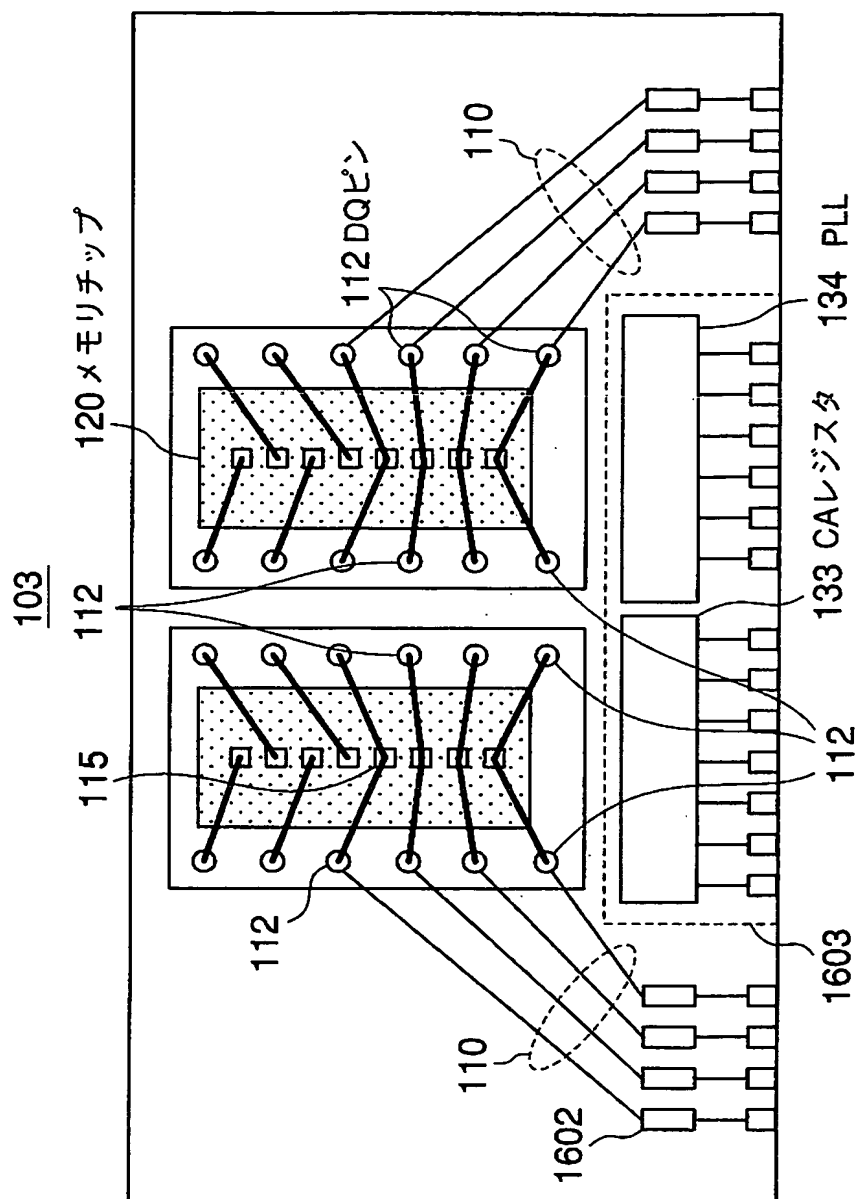
【図4】

103

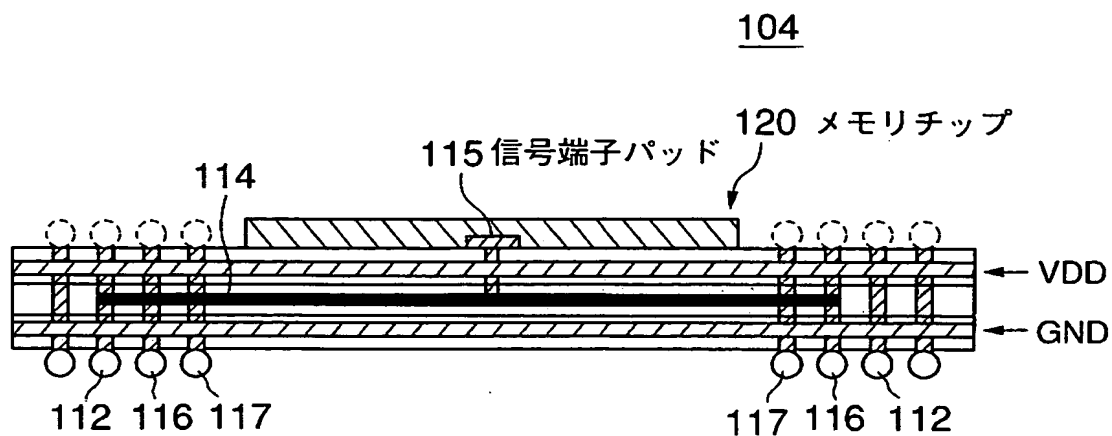
【図 5】



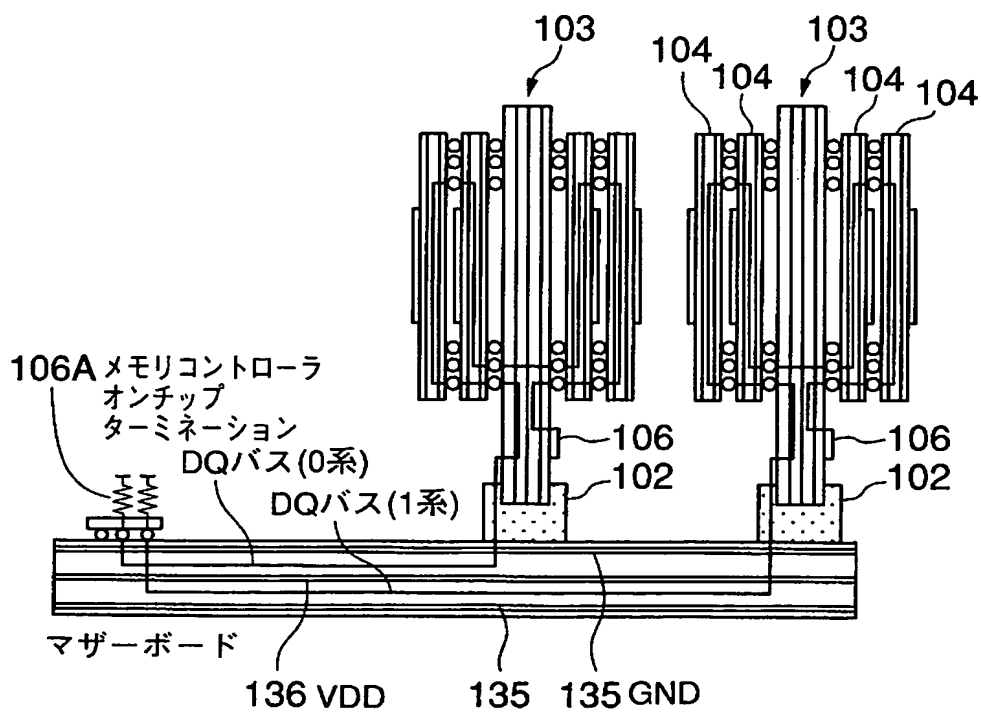
【図 6】



【圖 7】

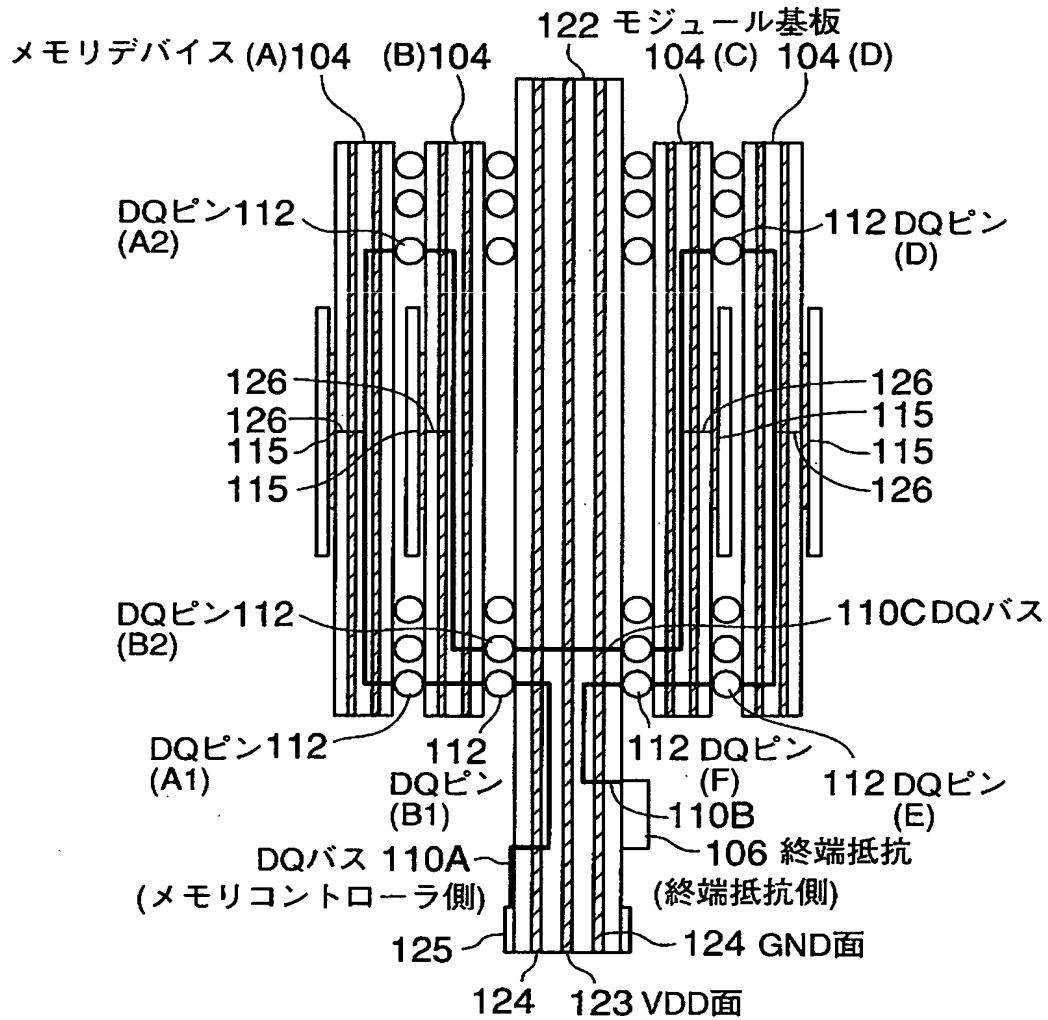


【図 8】

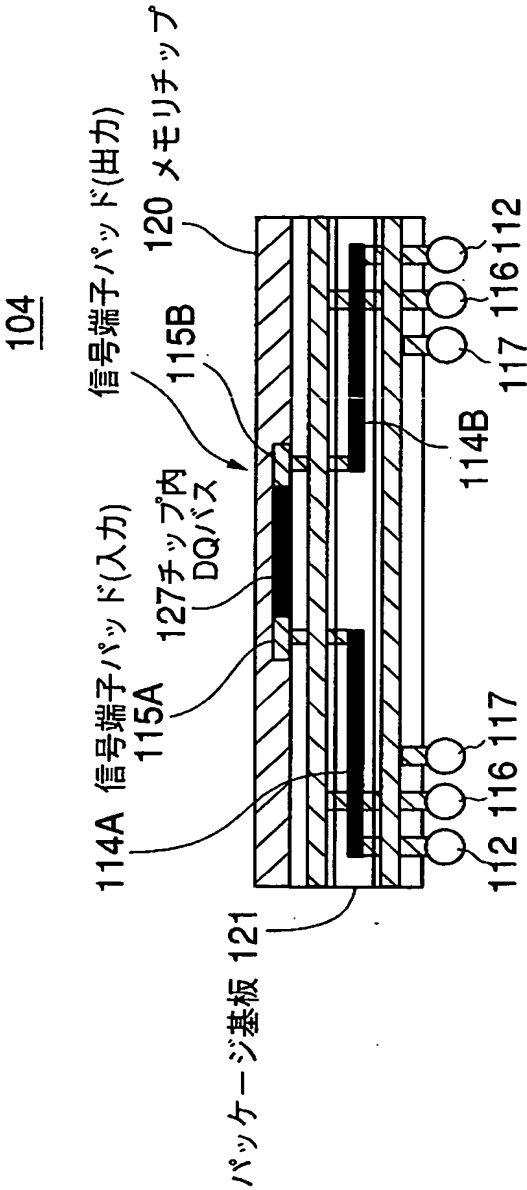


【図 9】

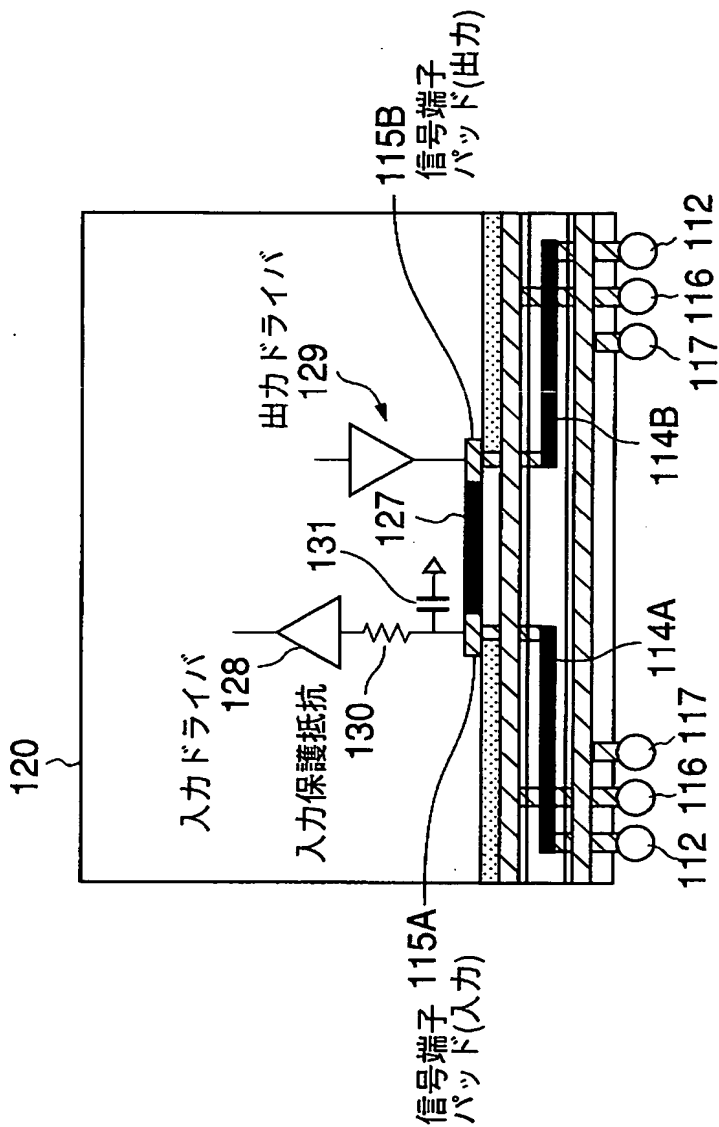
103



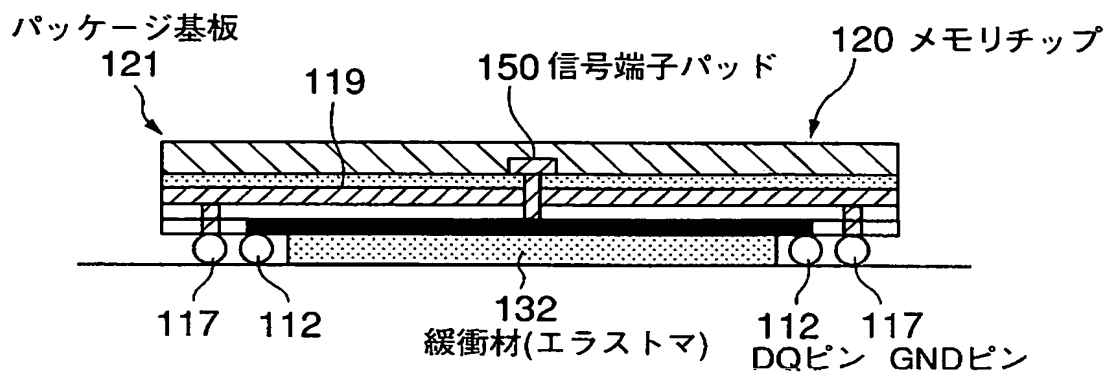
【図 10】



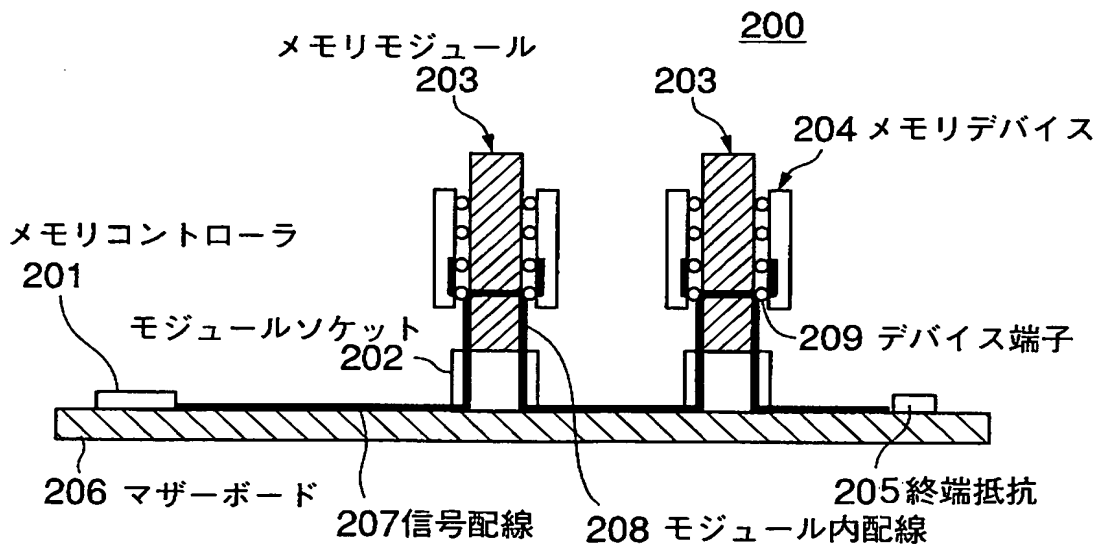
【図 11】



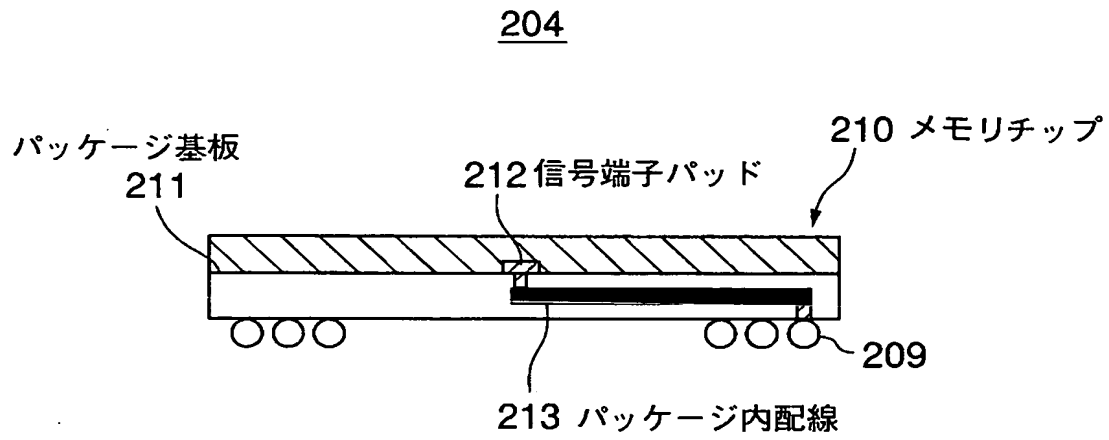
【図 12】



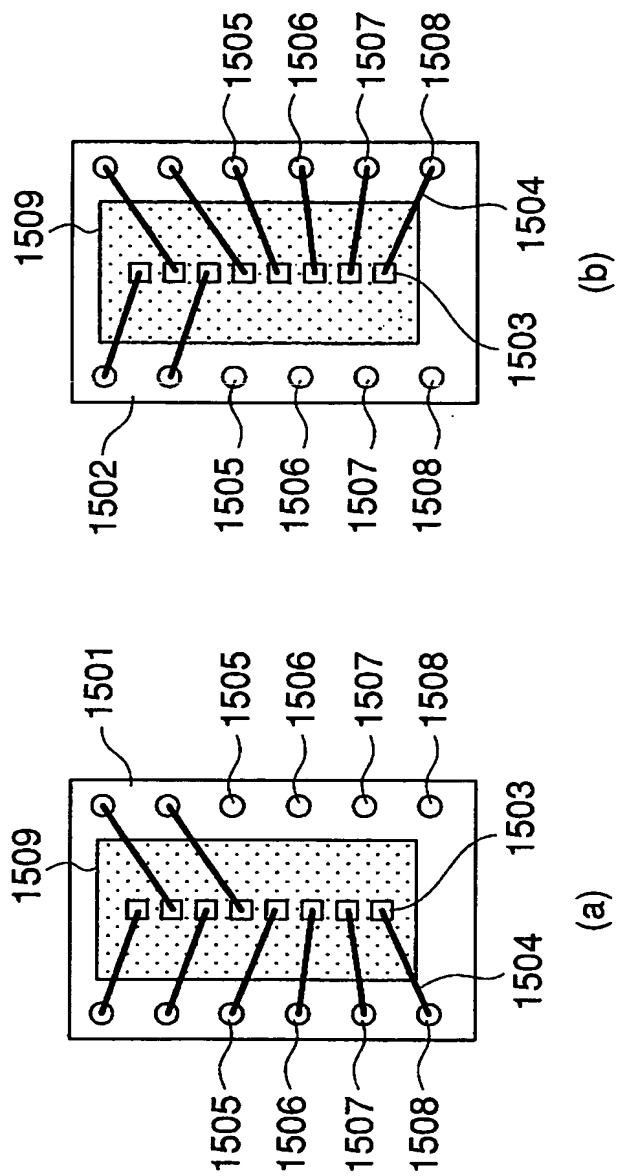
【図 13】



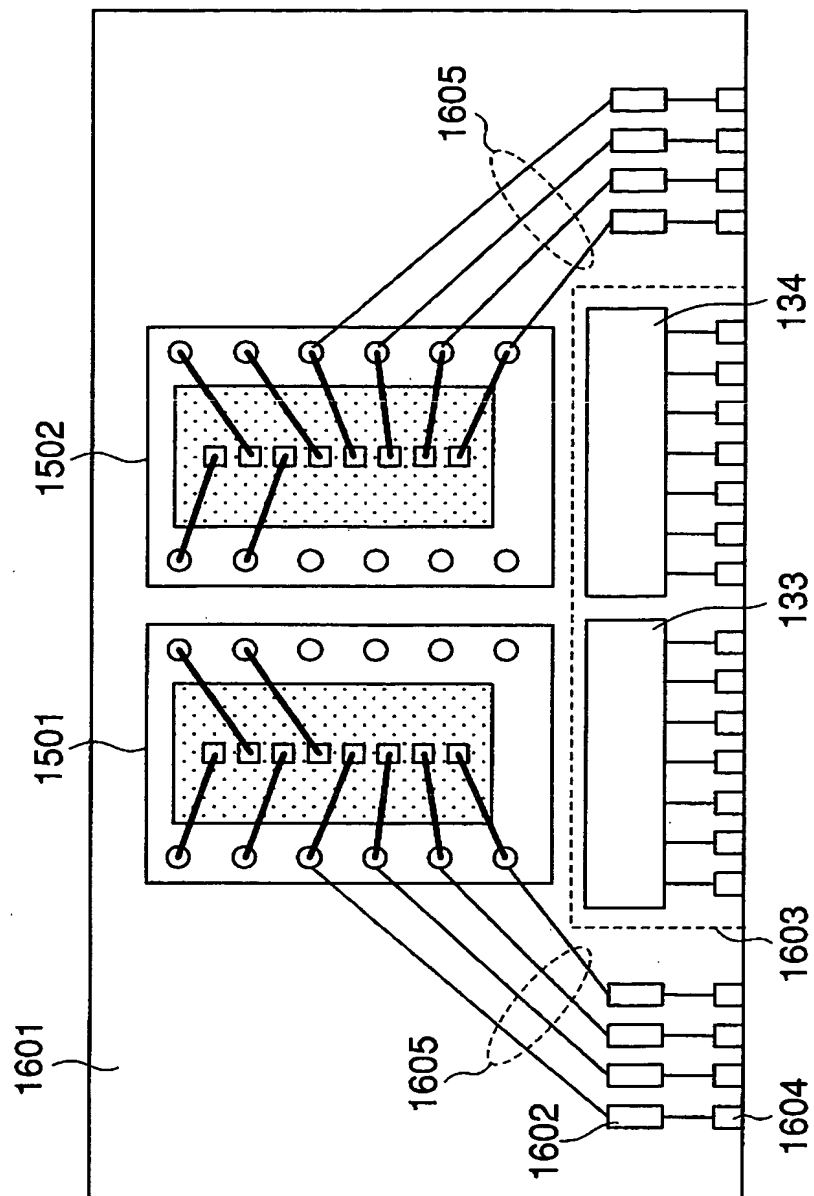
【図 14】



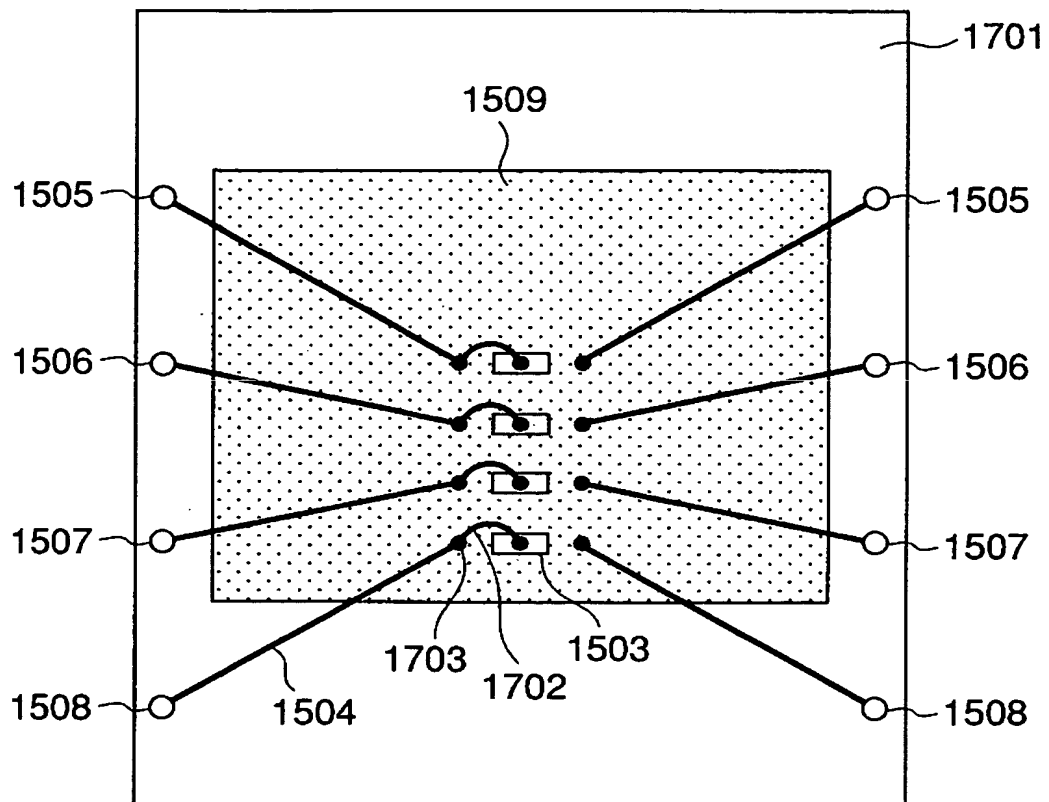
【図 15】



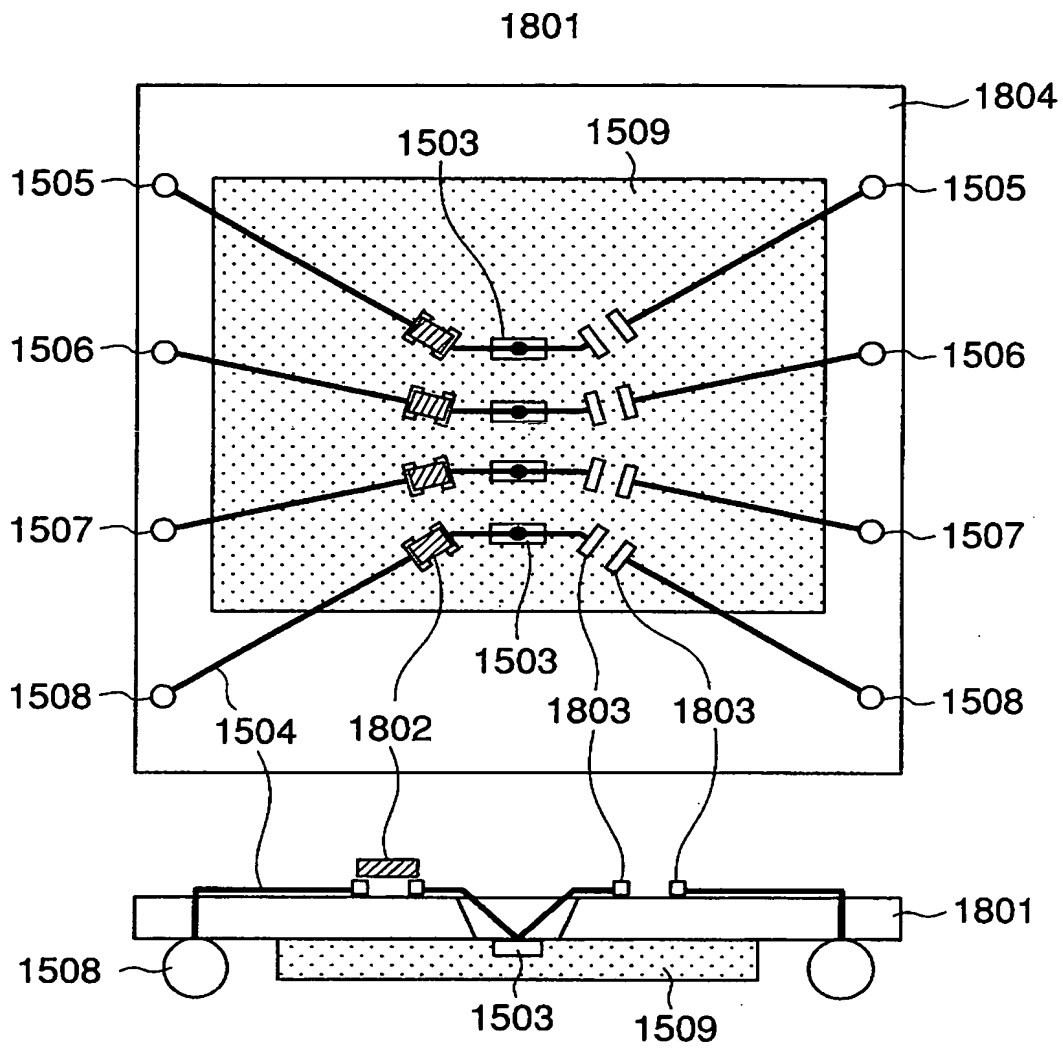
【図 16】



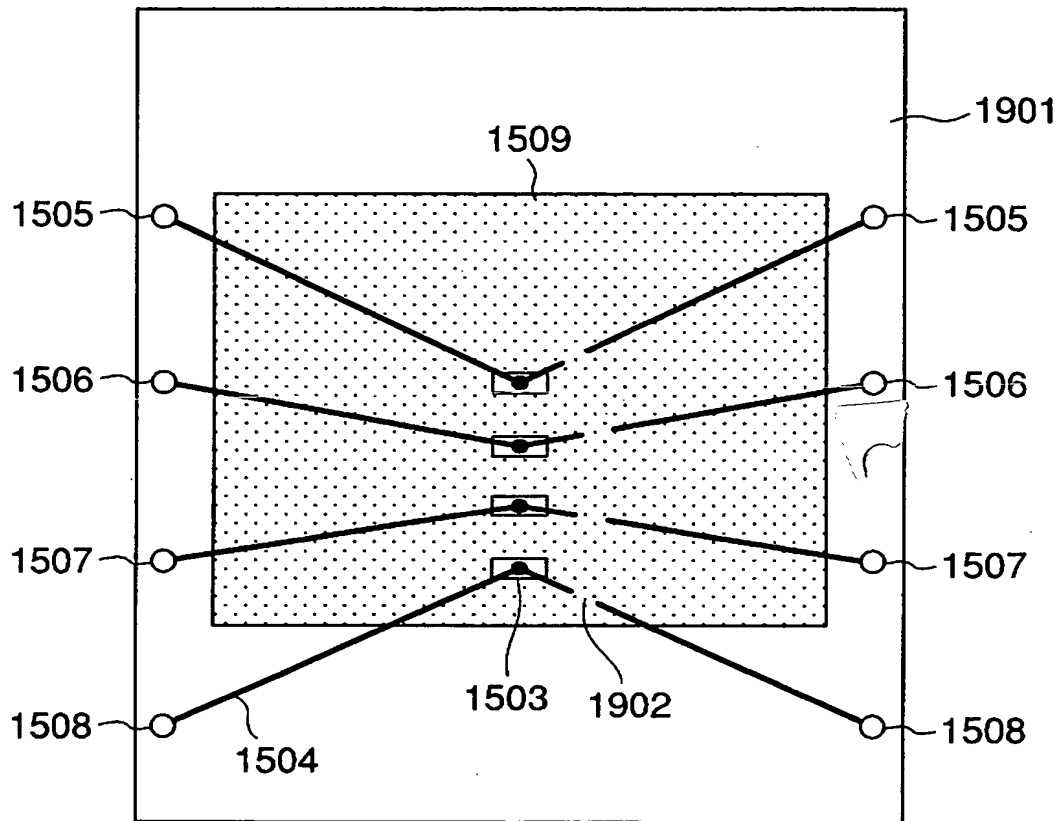
【図 17】



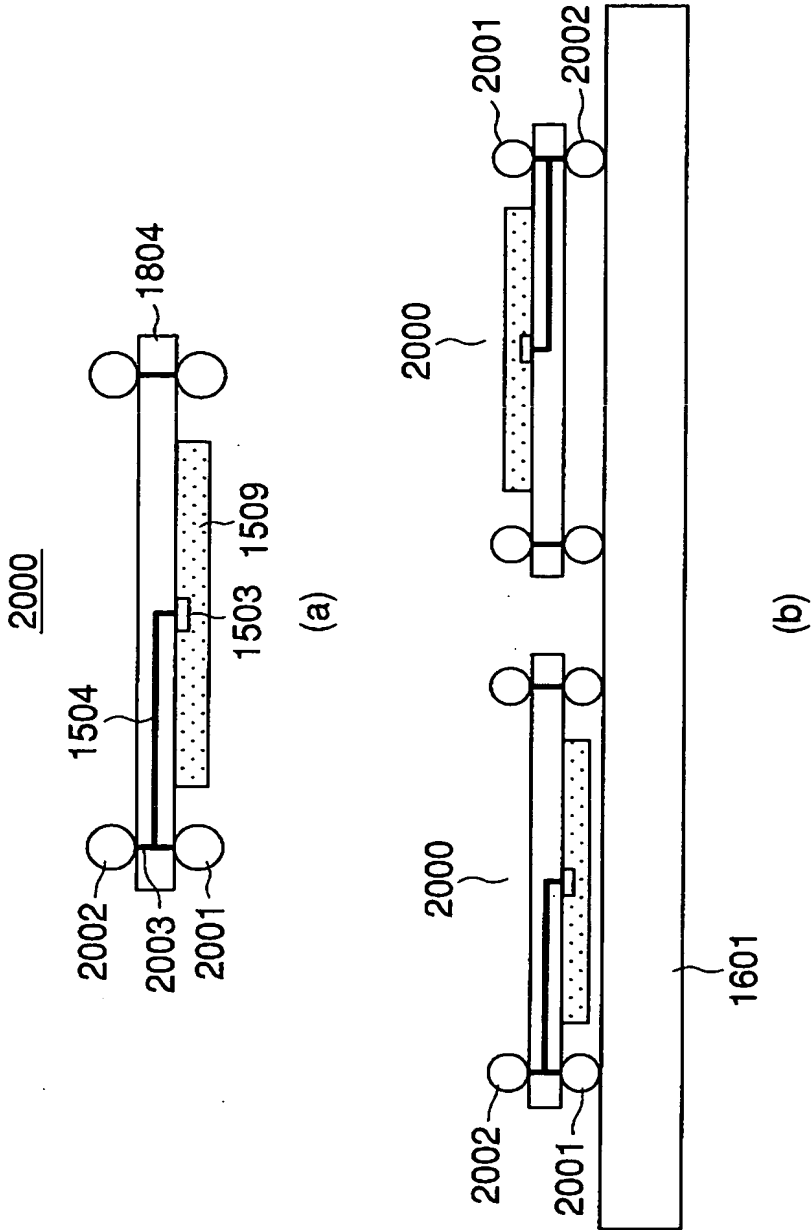
【図 18】



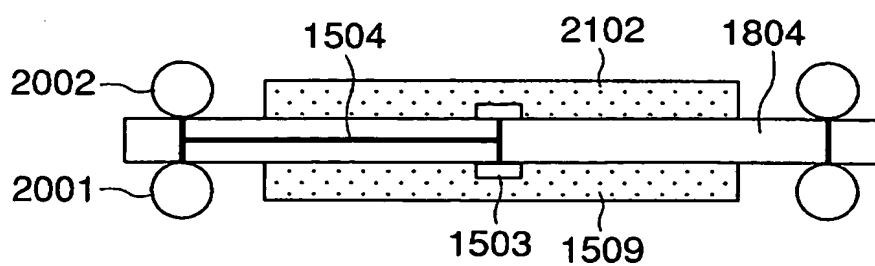
【図 19】



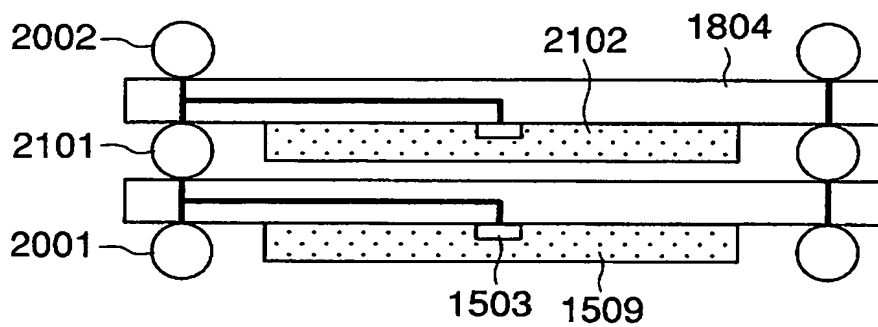
【図 20】



【図 21】

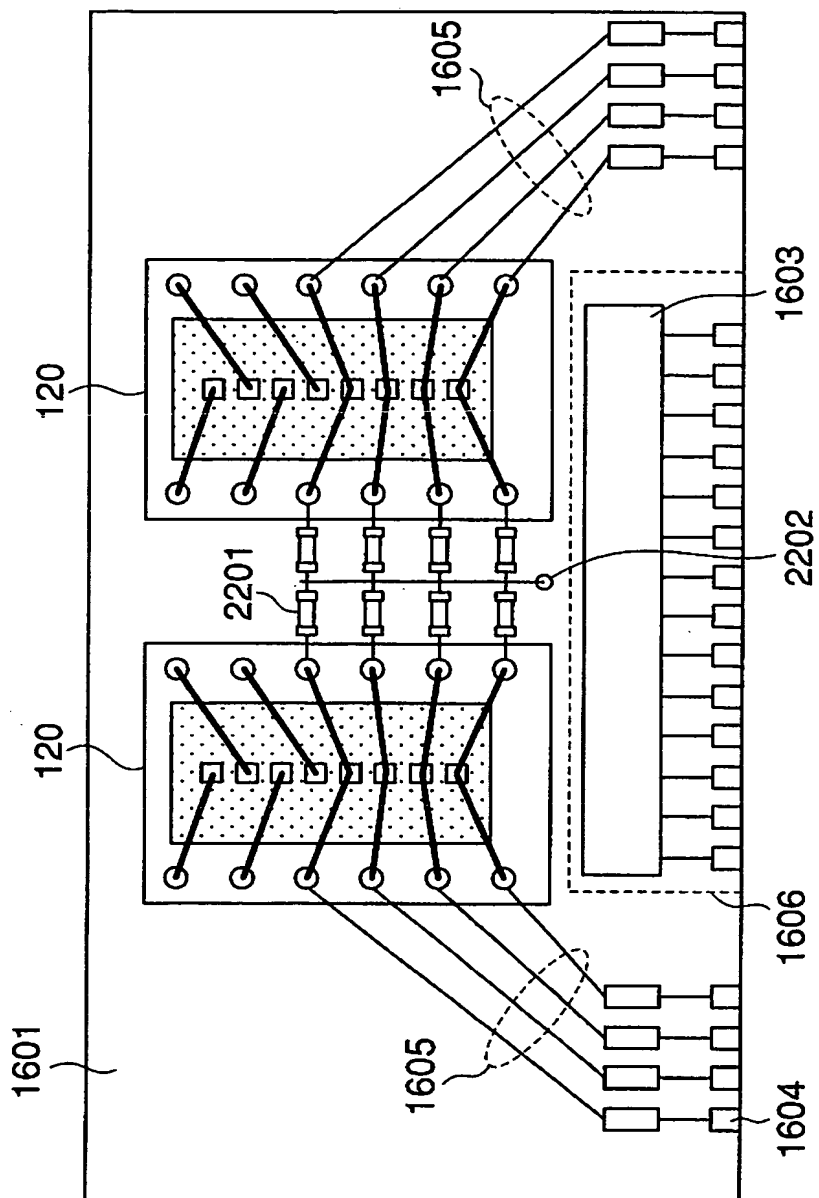


(a)

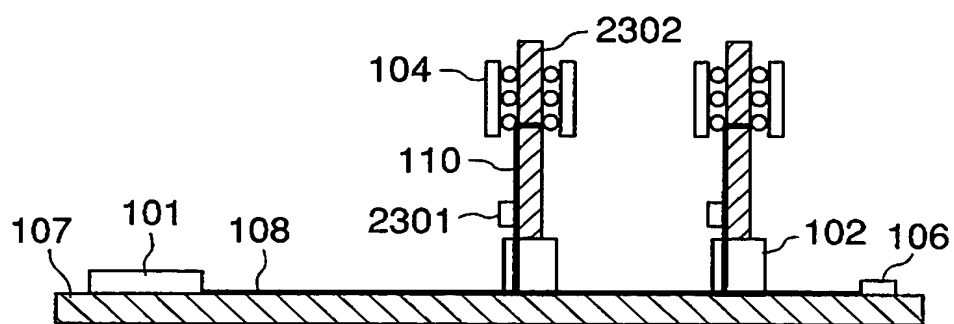


(b)

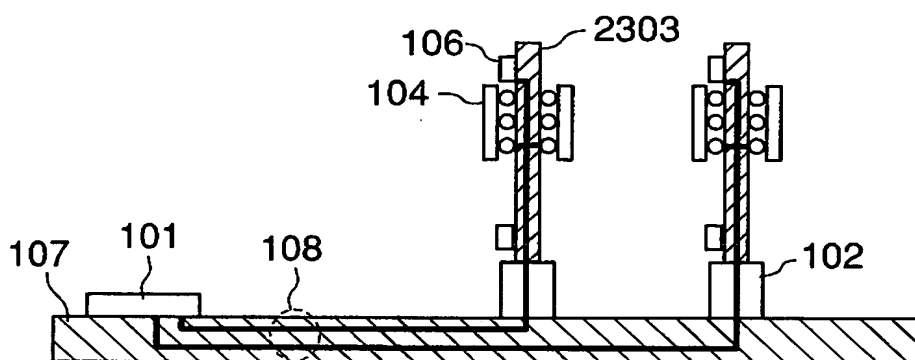
【図 22】



【図 23】

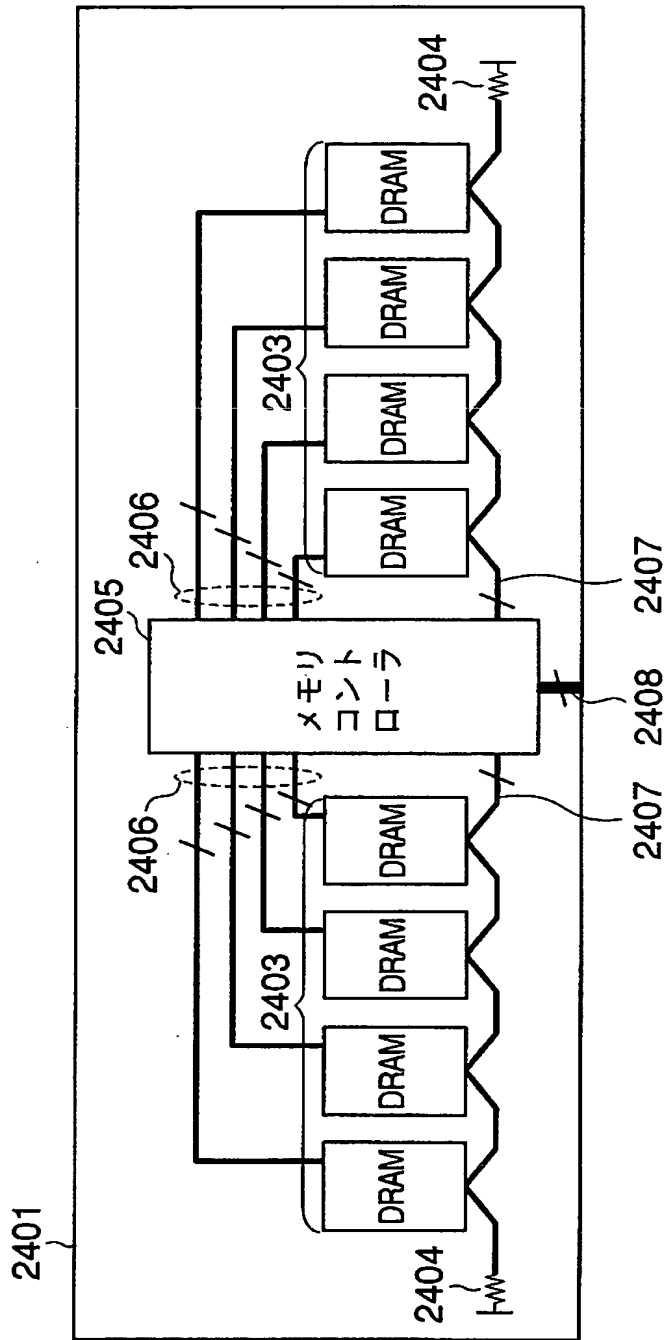


(a)

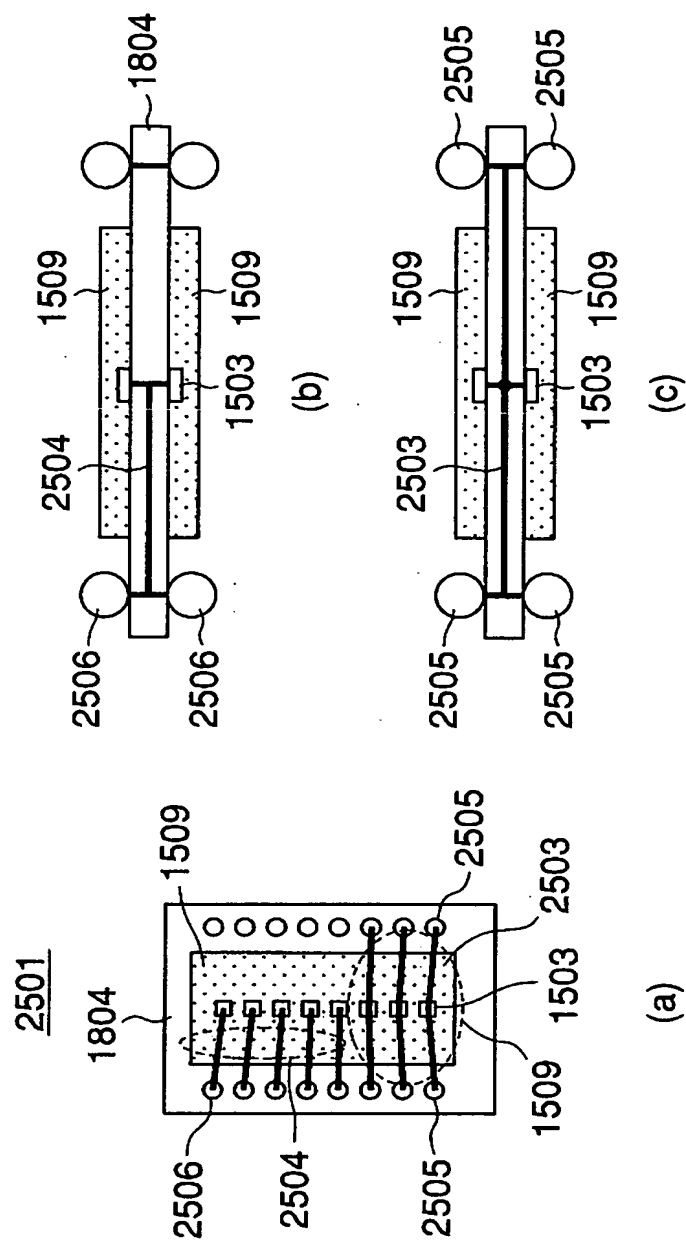


(b)

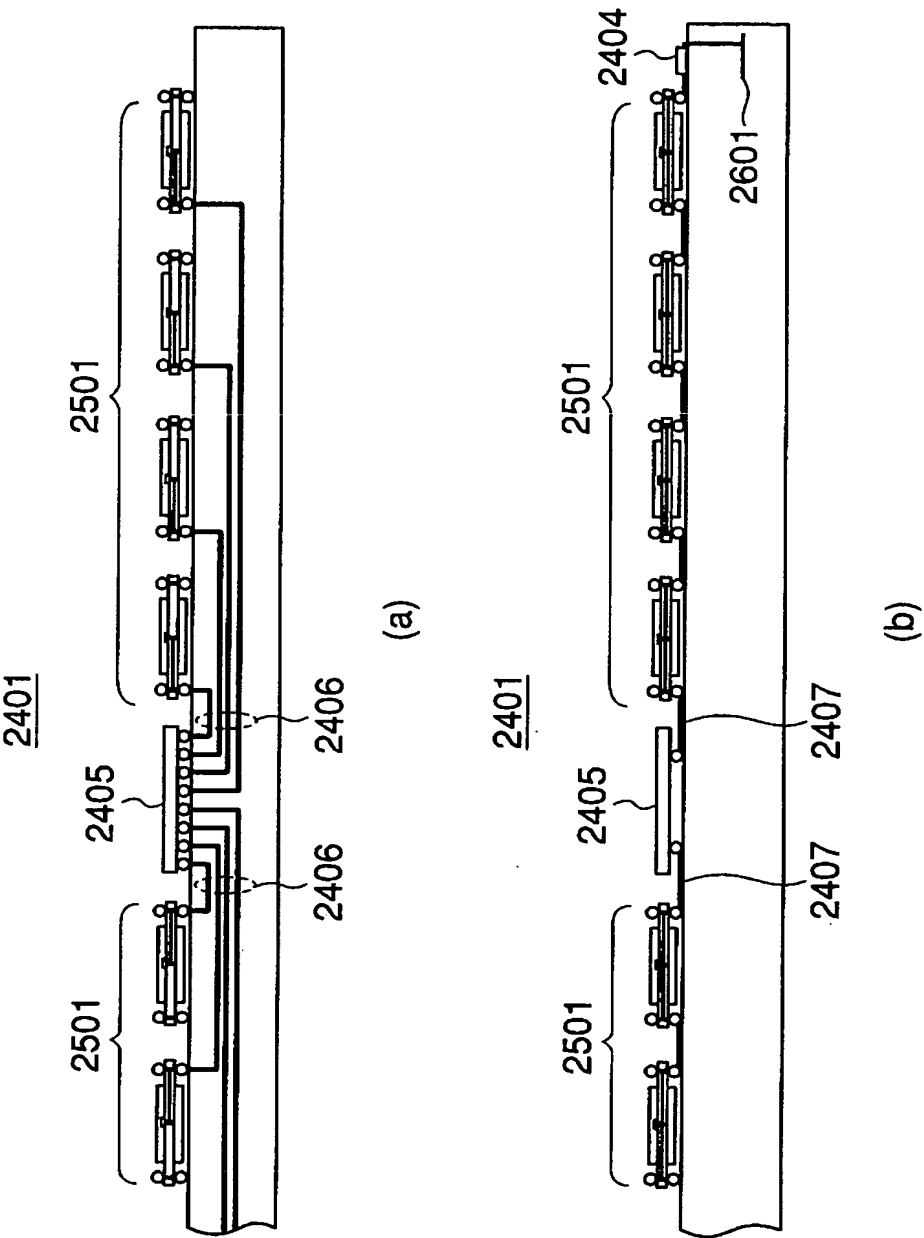
【図 24】



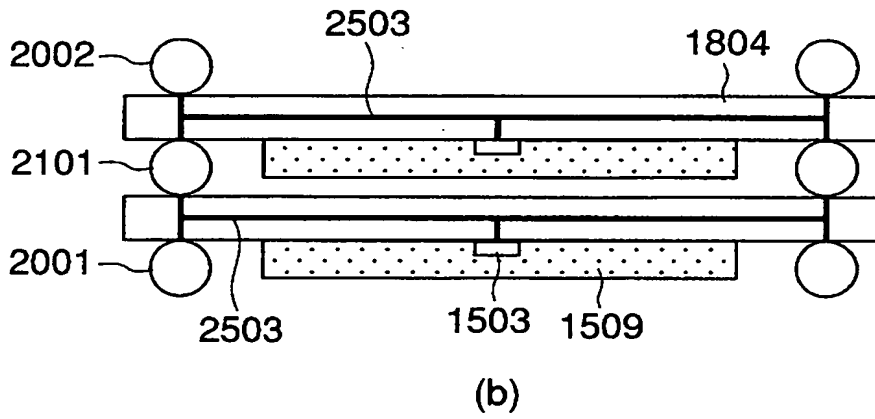
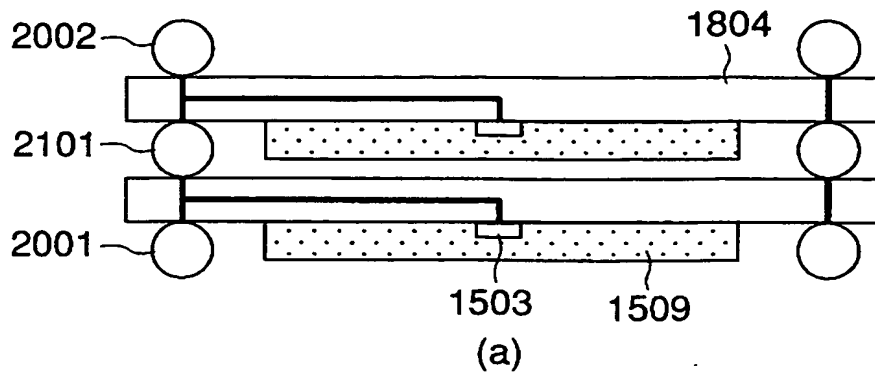
【図 25】



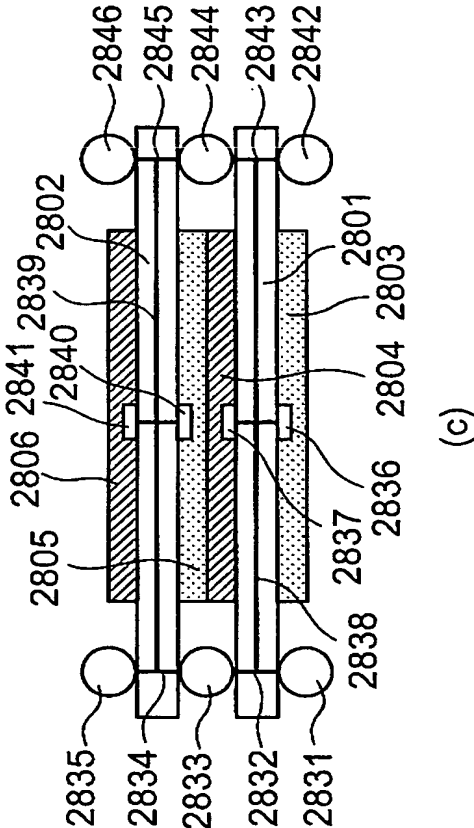
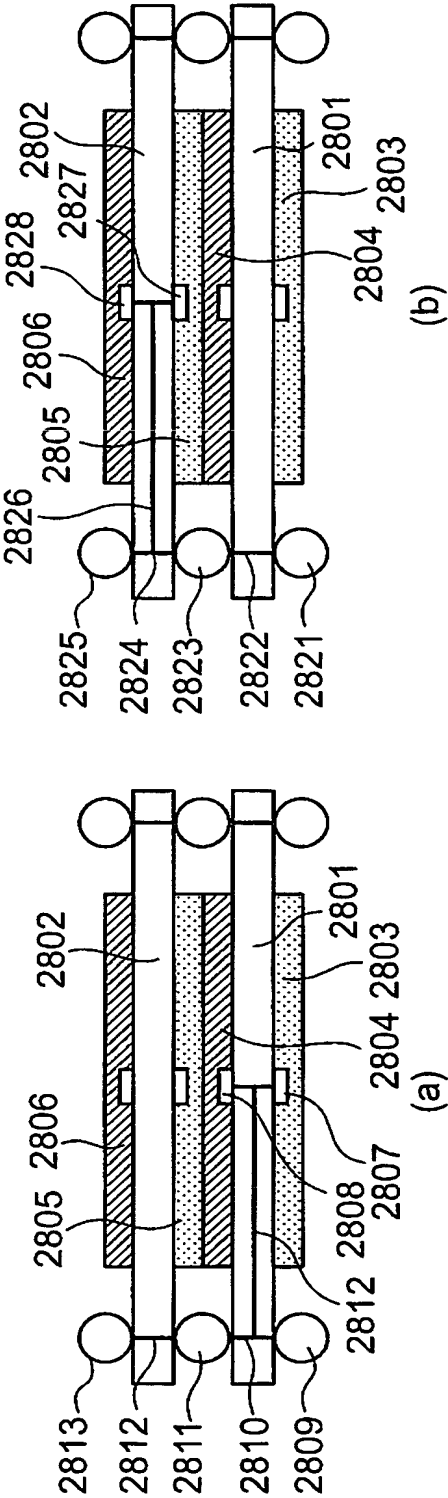
【図 26】



【図 27】



【図 28】



【書類名】 要約書

【要約】

【課題】 信号配線中に存在する分岐配線の配線長を短縮し、高速動作が可能な半導体ユニットを提供する。

【解決手段】 メモリデバイスを構成する半導体ユニット104は、メモリチップ120と、3つの配線層を有するパッケージ基板121とから成る。パッケージ基板121には、電源面118（VDD面）及び119（GND面）が配線され、双方の電源面118、119の中間の配線層にパッケージ内DQバス114が配線される。メモリデバイス104は、1つのパッケージ内DQバス114に対して2つのDQピン112を備える。パッケージ内DQバス114は、メモリチップ120の信号端子パッド115にビアを介して接続する。2つのDQピンから見て、パッケージ内DQバス114から信号端子パッドに接続するビアが、分岐配線を構成する。

【選択図】 図3

【書類名】 出願人名義変更届

【整理番号】 22310282

【提出日】 平成15年 6月11日

【あて先】 特許庁長官殿

【事件の表示】

 【出願番号】 特願2003-103681

【承継人】

 【識別番号】 000005108

 【氏名又は名称】 株式会社日立製作所

【承継人】

 【識別番号】 000233527

 【氏名又は名称】 株式会社ルネサス東日本セミコンダクタ

【承継人代理人】

 【識別番号】 100071272

 【弁理士】

 【氏名又は名称】 後藤 洋介

【承継人代理人】

 【識別番号】 100077838

 【弁理士】

 【氏名又は名称】 池田 憲保

【手数料の表示】

 【予納台帳番号】 012416

 【納付金額】 4,200円

【プルーフの要否】 要

認定・付加情報

特許出願の番号	特願 2003-103681
受付番号	50300977570
書類名	出願人名義変更届
担当官	伊藤 雅美 2132
作成日	平成15年 7月17日

<認定情報・付加情報>

【承継人】

【識別番号】	000005108
【住所又は居所】	東京都千代田区神田駿河台四丁目6番地
【氏名又は名称】	株式会社日立製作所

【承継人】

【識別番号】	000233527
【住所又は居所】	東京都青梅市藤橋三丁目3番地2
【氏名又は名称】	株式会社ルネサス東日本セミコンダクタ

【承継人代理人】

申請人

【識別番号】	100071272
【住所又は居所】	東京都港区西新橋1-4-10 第3森ビル 後 藤池田特許事務所

【氏名又は名称】	後藤 洋介
----------	-------

【承継人代理人】

【識別番号】	100077838
【住所又は居所】	東京都港区西新橋1-4-10 第3森ビル 後 藤池田特許事務所

【氏名又は名称】	池田 憲保
----------	-------

特願 2 0 0 3 - 1 0 3 6 8 1

出 願 人 履 歴 情 報

識別番号

[5 0 0 1 7 4 2 4 7]

1. 変更年月日

2 0 0 0 年 7 月 1 2 日

[変更理由]

名称変更

住 所

東京都中央区八重洲 2 - 2 - 1

氏 名

エルピーダメモリ株式会社

特願 2 0 0 3 - 1 0 3 6 8 1

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 1 0 8]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所

特願 2003-103681

出 願 人 履 歴 情 報

識別番号

[000233527]

1. 変更年月日
[変更理由]

2002年11月15日

名称変更

住所変更

住 所

東京都青梅市藤橋三丁目3番地2

氏 名

株式会社東日本セミコンダクタテクノロジーズ

2. 変更年月日
[変更理由]

2003年 4月18日

名称変更

住 所

東京都青梅市藤橋三丁目3番地2

氏 名

株式会社ルネサス東日本セミコンダクタ